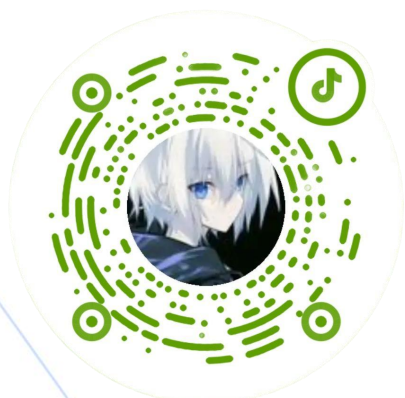


# 蓝桥杯 EDA&成图 2026 各类问题总结

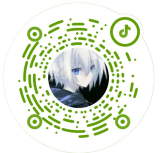
编著：桂电无刀客



抖音



B站



## 版本号: V2.4

适用于蓝桥杯省赛、国赛；成图省赛、国赛

建议保存百度网盘链接，链接会一直保持更新

<https://pan.baidu.com/s/16enuIQkVMCudkLf9NxUnBQ> 提取码: 1234

### 本次更新内容:

- 1.增加成图篇-电源分割与平面完整性
- 2.删除成图篇-信号完整性优化
- 3.删除成图篇-拼板设计
- 4.增加成图篇-文件导出与提交
- 5.增加成图篇-时间规划与拿分点
- 6.增加成图篇-板载天线设计

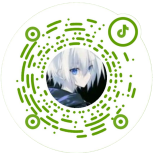
### 待更新内容:

成图省赛前不打算更新菊花链设计和 BGA 设计

还打算更新 PCB 小白学习规划，蓝桥杯 EDA 学习规划，成图学习规划等.....

**关注抖音 B 站“桂电无刀客”获取最新内容。**

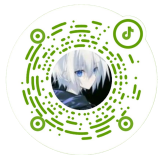
**内容均为无刀客本人编写，本人水平有限，文档仅适用于小白新手学习，所编写内容难免存在错误与欠妥之处，不足之处还望各位大佬不吝赐教，多多指正。**



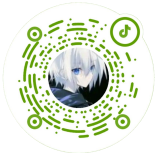
# 蓝桥杯 EDA&成图各类问题总结

## 蓝桥杯 EDA 篇

<b>一、 哪些需要禁止铺铜?</b> .....	<b>2</b>
1. 电感.....	2
2. 晶振.....	2
3. 继电器.....	3
4. 光耦器件.....	4
5. 天线部分.....	5
6. 带天线的芯片 (ESP32) .....	6
7. 网口.....	7
8. 碎铜处理.....	7
<b>二、 需要特殊处理的信号线</b> .....	<b>8</b>
1. USB2.0/TypeC 差分信号线.....	8
2. RS485 差分信号 (其中 AB 为一对差分信号) .....	8
3. ADC 模拟采集信号.....	8
<b>三、 布线时的问题</b> .....	<b>9</b>
1. 3W 原则.....	9
2. 布线禁止产生环路.....	9
3. 信号线宽度一致性.....	9
4. 焊盘长边, 直边出线原则.....	10
5. 包地信号的处理.....	10
6. 差分对表贴元器件摆放规则.....	11
7. 信号线路径最短原则.....	11
8. 不允许出现 Stub.....	12
9. 焊盘出线宽度.....	13
10. 滤波耦合电容处理.....	14
11. 走线换层打地孔.....	15
12. 相邻同网络焊盘处理.....	15
13. 多过孔扇出技巧.....	16
14. IC 芯片的过孔扇出.....	16
<b>四、 常见元器件摆放位置</b> .....	<b>17</b>
1. 接线端子正反判断.....	17
<b>五、 提升画板速度的方法</b> .....	<b>18</b>
1. 复用布局布线.....	18



2. 多路布线.....	18
<b>六、 常见网络标签命名.....</b>	<b>18</b>
1. 差分对网络标签.....	18
2. 一般需要差分布线的模块.....	18
3. 电源网络标签总结.....	18
4. 等长网络组常见网络标签.....	19
5. 一般需要设置等长网络组的模块.....	19
<b>七、 常用快捷键.....</b>	<b>19</b>
1. 布线类.....	19
2. 布局类.....	20
<b>八、 蓝桥杯常见模块布局布线参考.....</b>	<b>21</b>
1. 数码管常见布局布线.....	21
2. TypeC 常见布局布线.....	22
3. RS485 常见布局布线.....	23
4. 百兆网口常见布局布线.....	24
5. 芯片电容常见布局布线.....	24
6. 继电器常见布局布线.....	25
7. DCDC 电源常见布局布线.....	25
8. LDO 常见布局布线.....	27
9. SD 卡常见布局布线.....	27
10. 射频 RF 常见布局布线.....	29
11. SDRAM 常见布局布线.....	29
12. 多地多电源隔离-布局布线.....	33
13. 强弱电常见布局布线.....	35
14. BGA 常见布局布线.....	36
<b>九、 比赛常见问题解答.....</b>	<b>38</b>
<b>附录、 比赛流程全解析+每步操作.....</b>	<b>42</b>



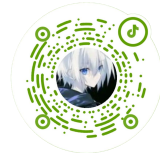
## 成图篇

一、 文件管理.....	52
二、 元件绘制.....	55
三、 PCB 封装绘制.....	55
四、 原理图抄画.....	59
1. 原理图模板制作.....	59
2. 部分原理图抄画.....	59
五、 电路板制作.....	60
1. 四层板层叠规划.....	60
2. DXF 文件导入细节.....	60
3. 设计规则修改.....	62
4. Mark 点规则与放置.....	65
5. Test 测试点规则与放置.....	66
6. 双面布局如何设计.....	67
7. 电源分割与平面完整性.....	68
六、 高阶布局布线总结.....	70
1. 菊花链拓扑结构.....	70
2. BGA 扇孔出线.....	70
3. 板载天线设计.....	70
七、 文件导出与提交.....	71
1. 文件管理.....	71
2. 文件导出与提交.....	72
八、 时间规划与拿分点.....	73

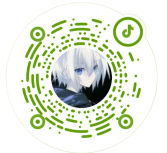


无刀客

抖音 B 站同名-桂电无刀客



无刀客个人编写，请勿商用

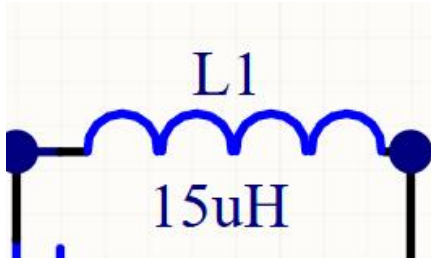


## 蓝桥杯 EDA 篇

### 一、哪些需要禁止铺铜?

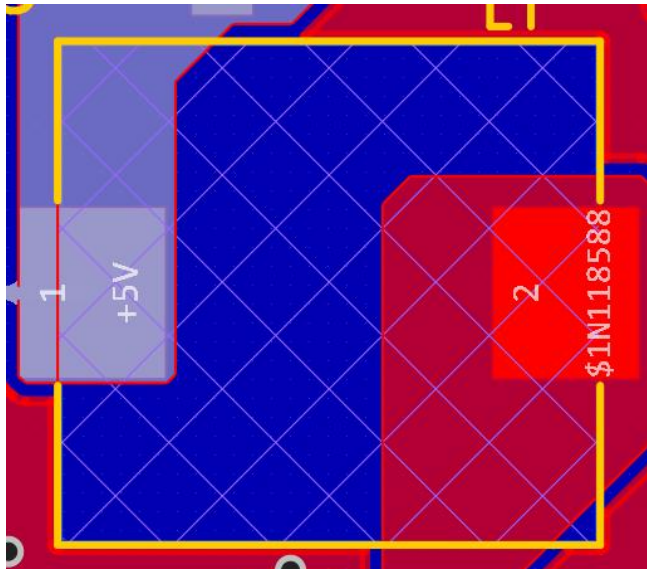
#### 1. 电感

原理图



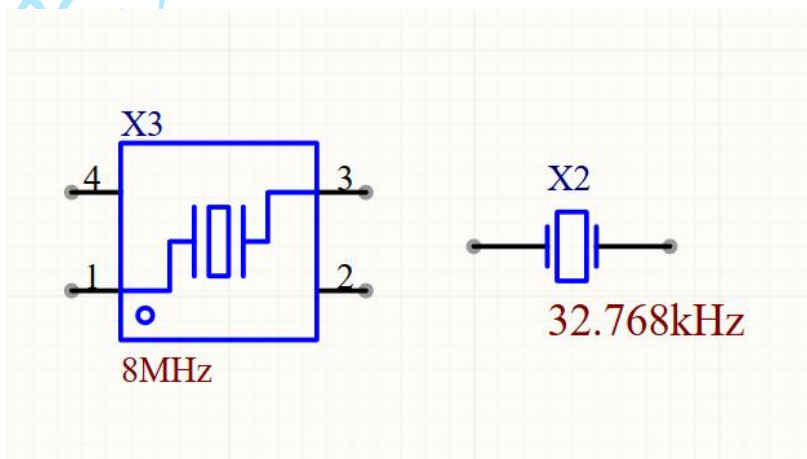
封装

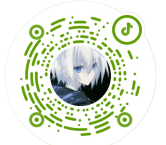
(放一个矩形禁止铺铜区,只禁止顶层,电感下方不能走线,顶层底层都不行!)



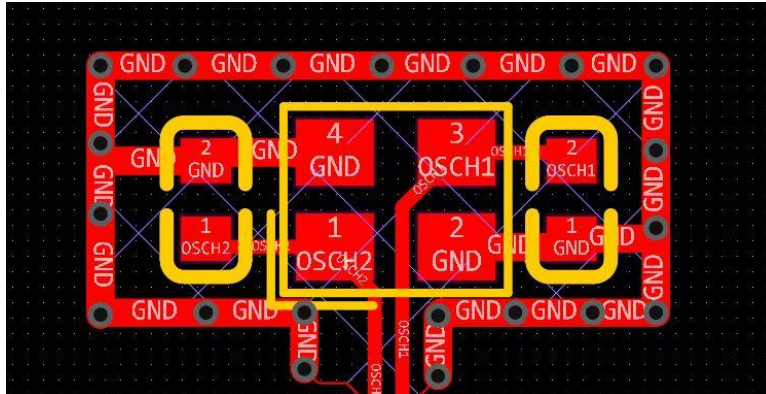
#### 2. 晶振

原理图 (分四角两角晶振)

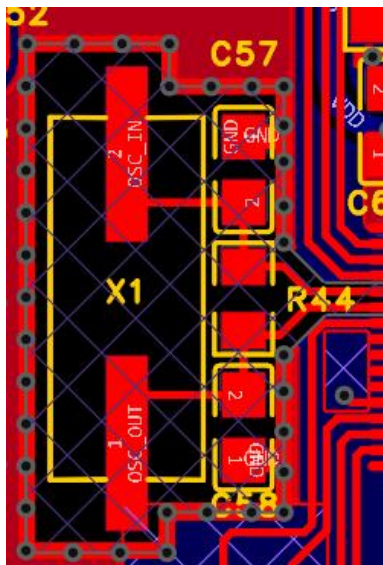




封装 (照着示例画, 禁止铺铜顶层, 地过孔不要太密, 晶振下方不要走线)



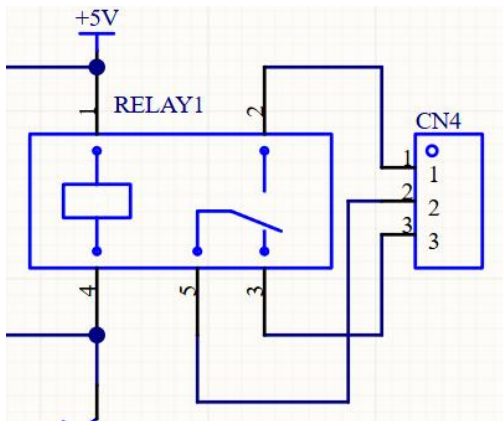
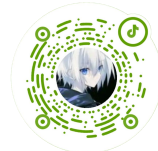
(四角的信号有一根从中间过)



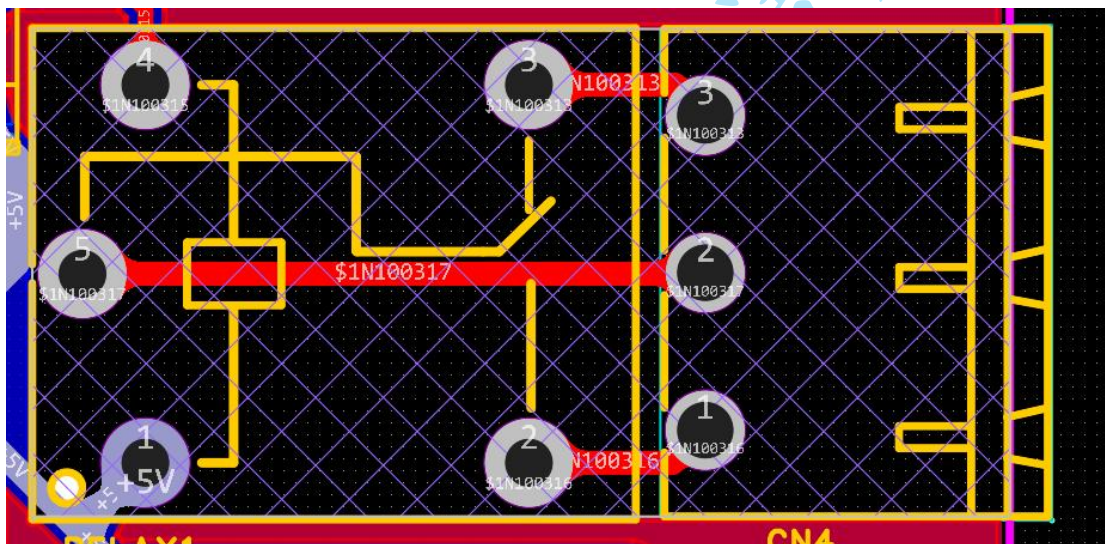
(两角的画法)

### 3. 继电器

原理图 (画法不一样, 一般都带了一个开关图案)

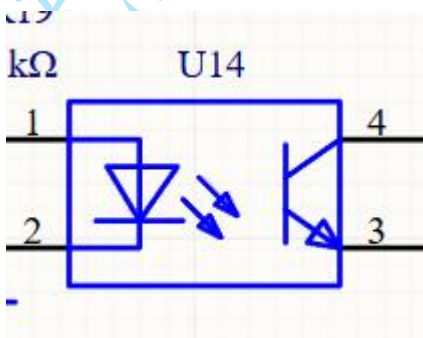


封装（继电器+接口都要禁止铺铜多层，两者间的连线加粗或者用填充，顶层底层不要走其他线）

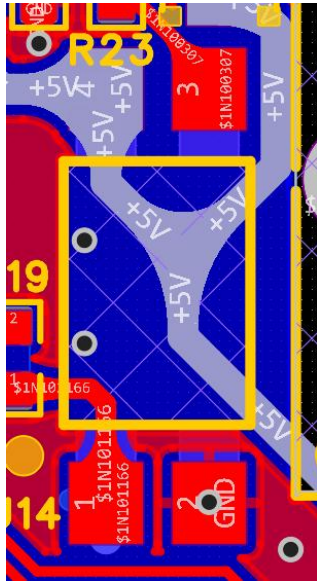
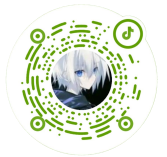


#### 4. 光耦器件

原理图（特征是一个二极管+一个类似三级管的图案）

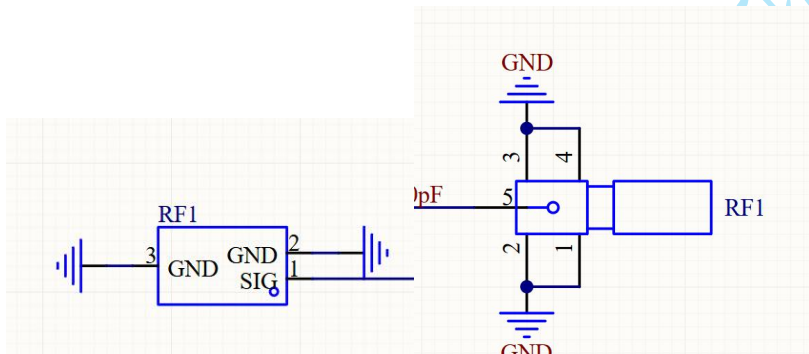


封装（禁止铺铜顶层）

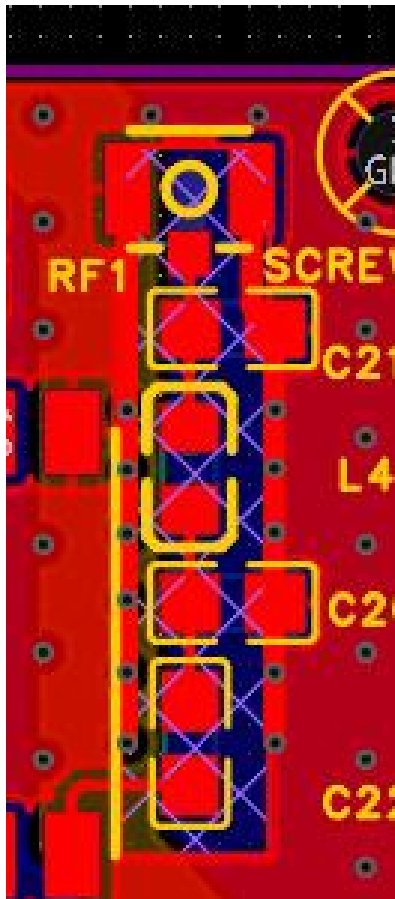
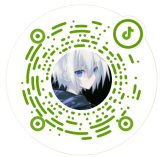


### 5. 天线部分

原理图 (名称带 RF 什么什么)

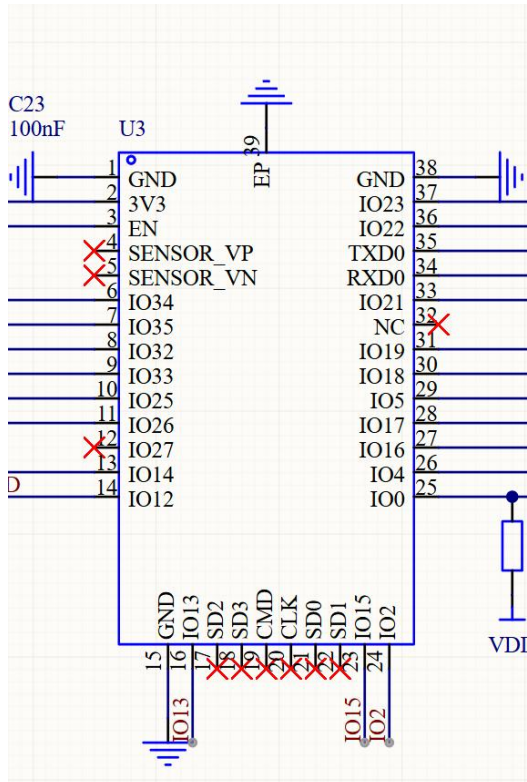
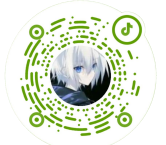


封装 (天线的线保证短而直, 四周包裹地过孔加禁止铺铜)

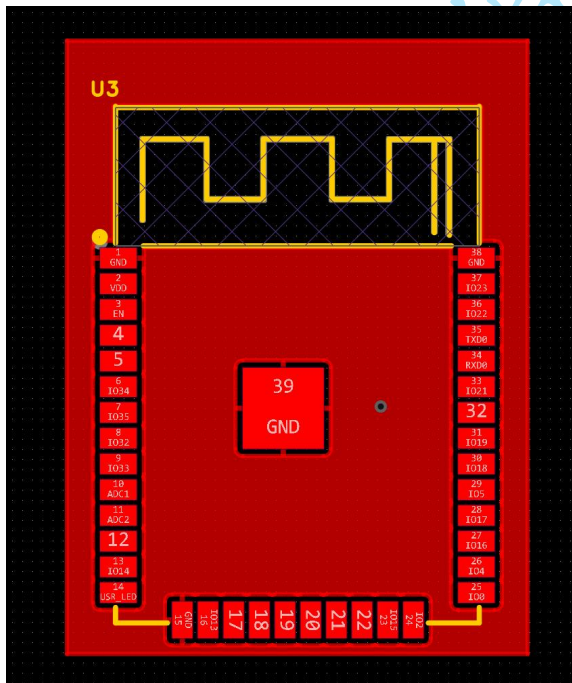


## 6. 带天线的芯片 (ESP32)

原理图

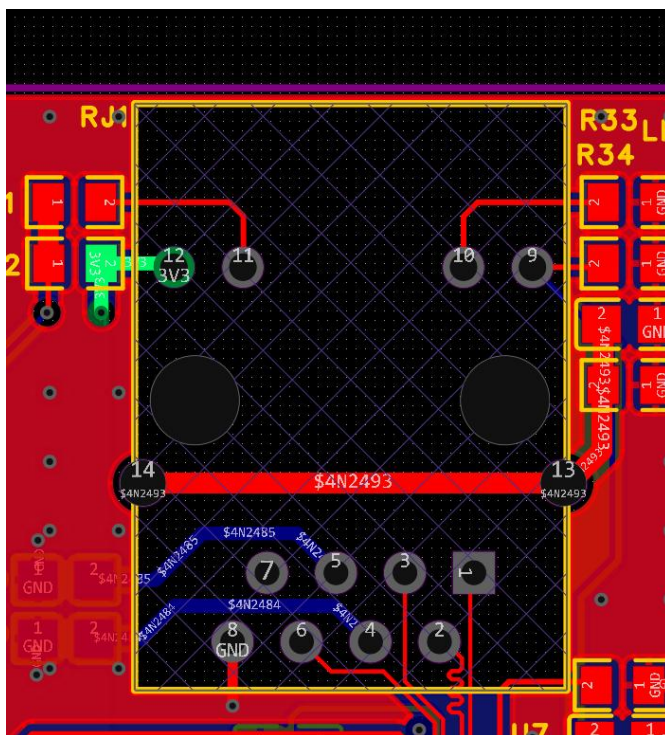
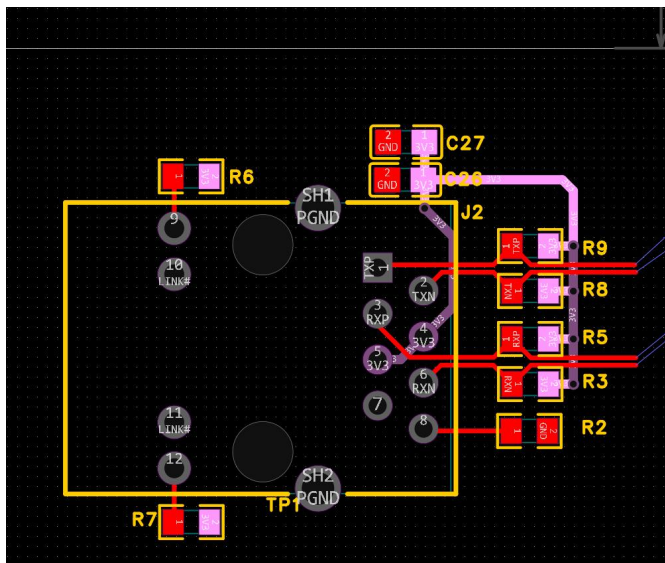
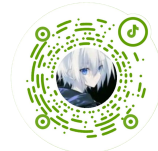


封装（芯片上方的天线禁止铺铜多层，且芯片整体放在板边，天线那一头朝外放，顶层底层不能走线。）



## 7. 网口

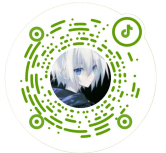
网口的布局布线格式以及禁止铺铜，不要走不相关的线。



请勿商用

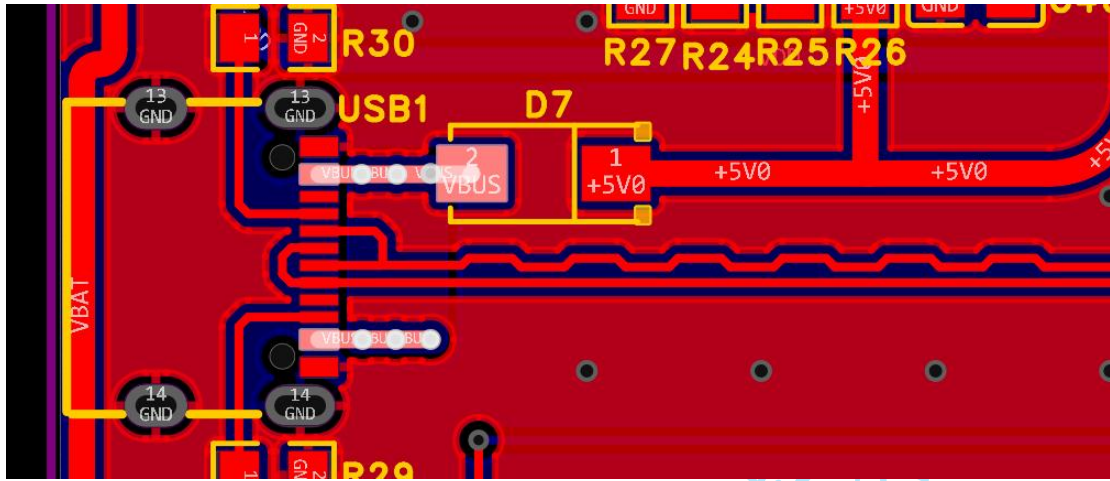
### 8. 碎铜处理

板子整体铺铜后可能会出现尖铜，碎铜等，需要用禁止铺铜把他禁止掉。



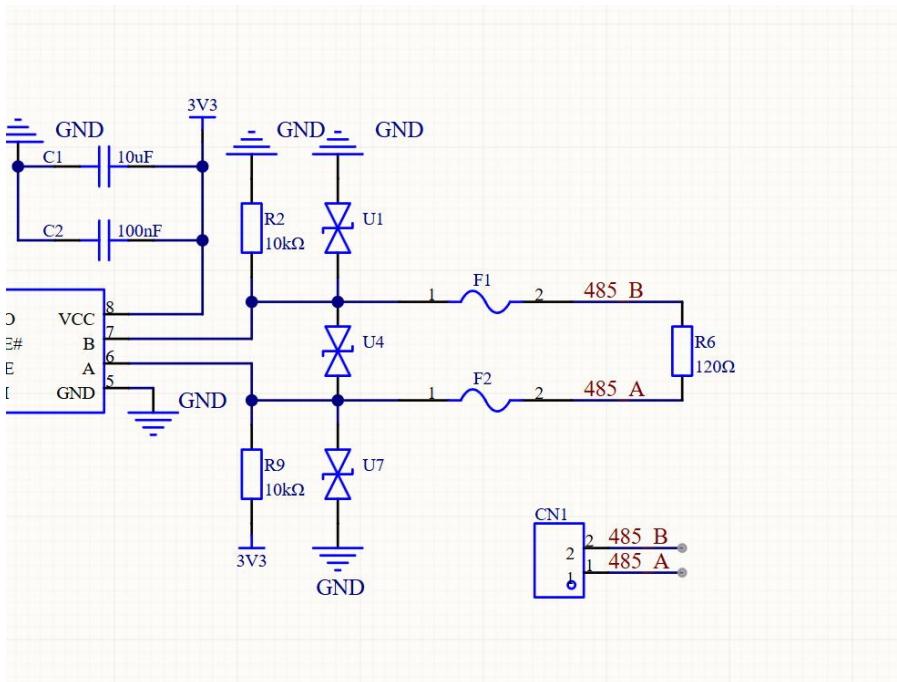
## 二、需要特殊处理的信号线

### 1. USB2.0/TypeC 差分信号线



### 2. RS485 差分信号 (其中 AB 为一对差分信号)

RS485 模块一般极为对称，布局时需注意



### 3. ADC 模拟采集信号

可以作圆弧线，以及包地处理

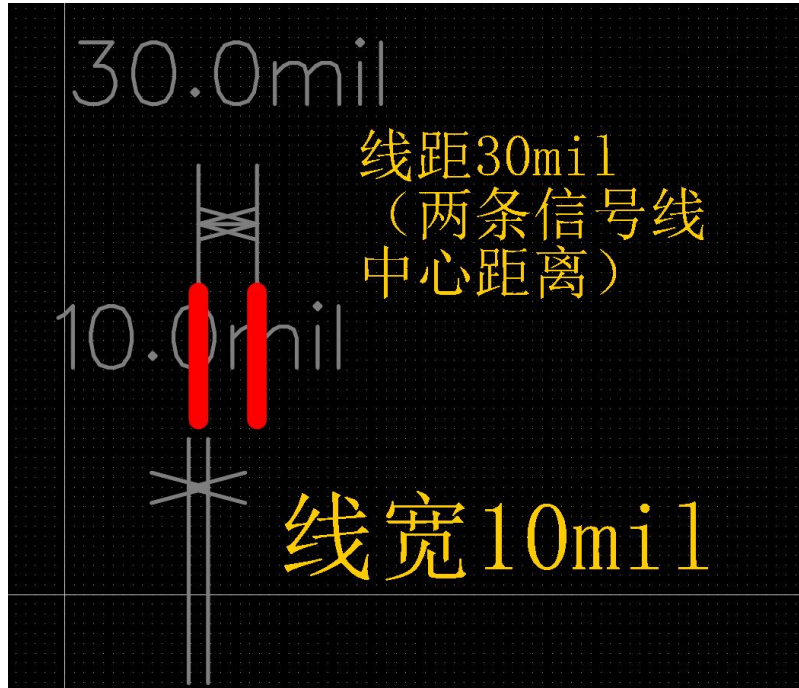


### 三、布线时的问题

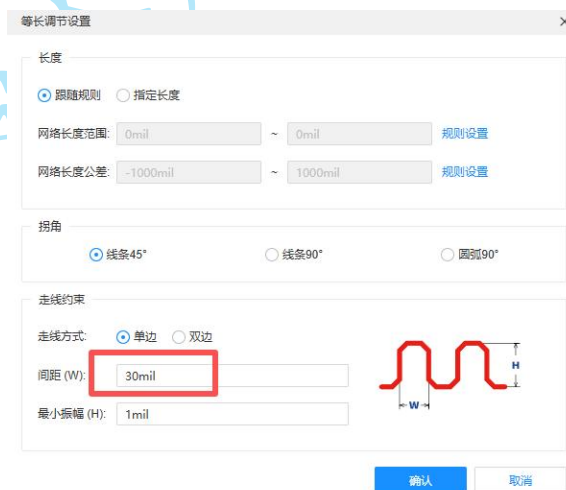
#### 1. 3W 原则

两条重要信号线的线距应大于三倍信号线的线宽，避免信号线间的干扰。

需要注意的信号线：晶振时钟线，高速信号线等。比赛中无特殊要求按赛题规定的普通线距即可。



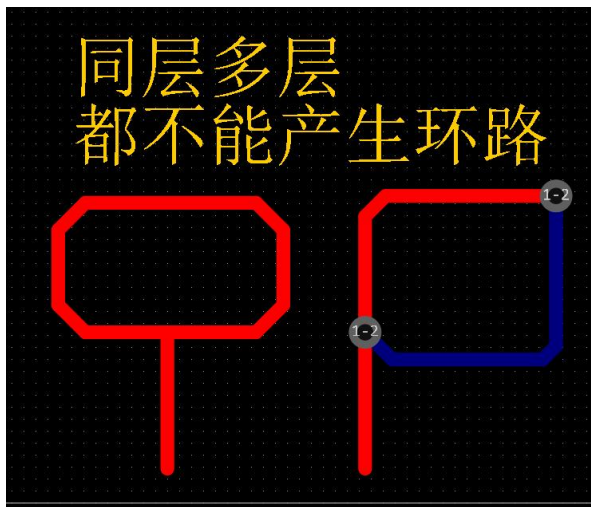
注意：在对差分线/等长网络组进行等长调节时，建议遵守 3W 规则。操作如下：等长调节时按住 TAB 键进入设置页面，间距这里调整为 3\*信号线宽长度，最小振幅改为最小即可。





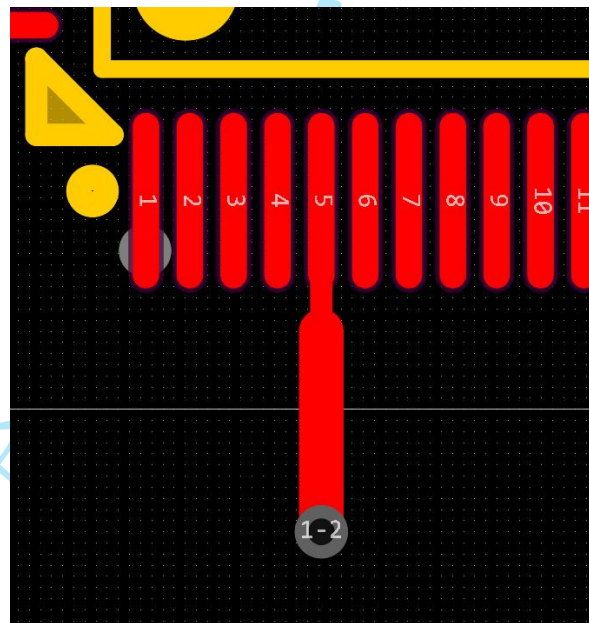
## 2. 布线禁止产生环路

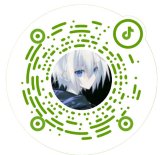
同一网络信号线禁止产生环路，避免产生辐射干扰。解决方法可以打开移除回路。



## 3. 信号线宽度一致性

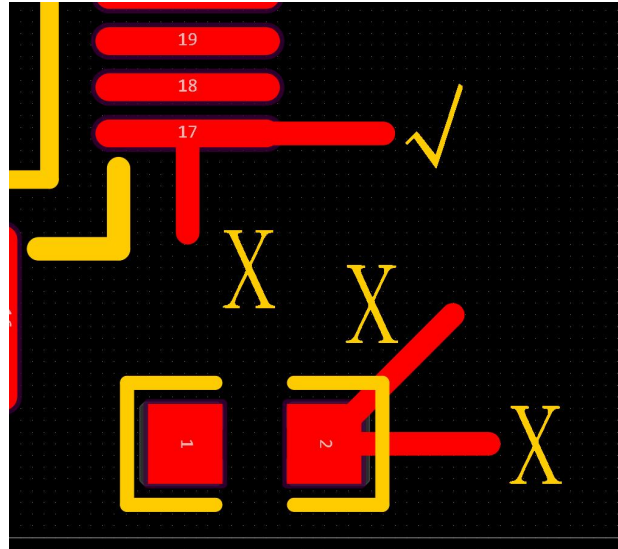
同一根信号线走线时应尽量保持线宽一致，避免阻抗不连续，干扰信号。若由于线宽又要求加上芯片出线宽度不够，因尽量保证有差异的线宽更短。





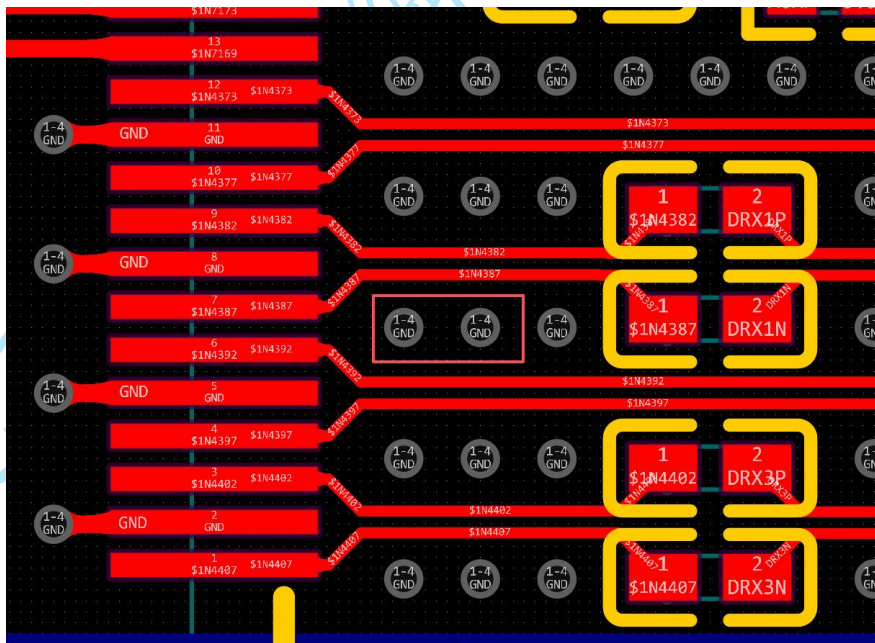
## 4. 焊盘长边，直边出线原则

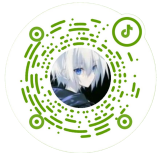
布线应从焊盘长方向出线，从焊盘直边出线。避免短边出线和焊盘四角出线。老师改卷喜欢规整的布线。



## 5. 包地信号的处理

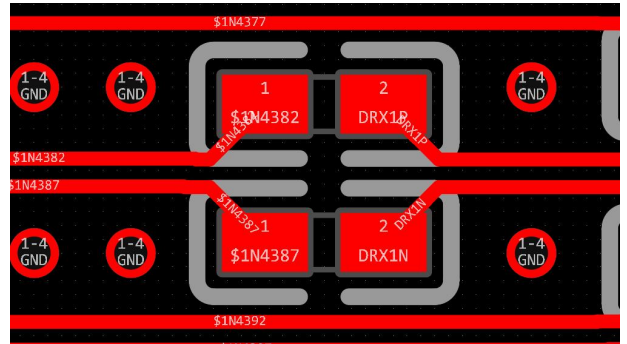
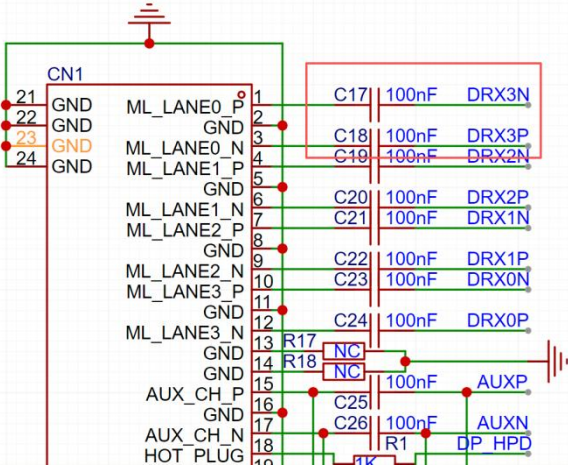
对于单对或者多对高速信号，例如 ADC 采集信号，高速差分对信号。在保证 3W 规则以及空间足够的情况，对整条线路进行包地处理。两条地过孔距离保持在 50-150mil 左右。





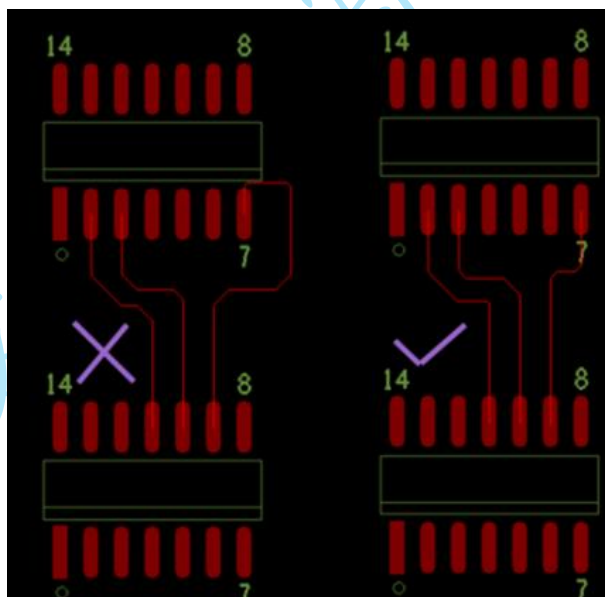
## 6. 差分对表贴元器件摆放规则

高速差分对信号通常会在线路中添加电容、ESD、共模抑制电感、连接器等等。为了减小阻抗改变的影响。同时保证线路尽量直，通常按下图进行布线。



## 7. 信号线路最短原则

信号线与其回路构成的环路面积要尽可能小，环路面积小，对外辐射小，接收外界的干扰也小。

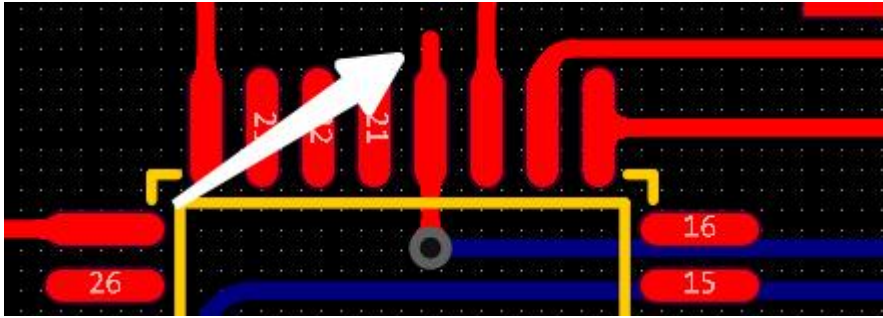
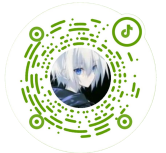


## 9. 不允许出现 Stub

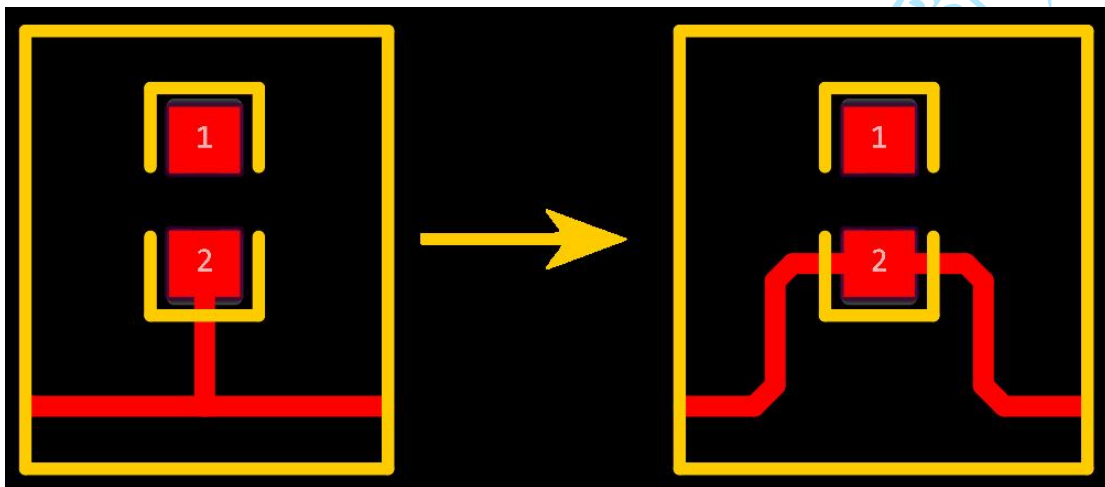
Stub 线是指在设计 PCB 时，信号没有打算经过的路径或多余的线头，通常被称为线头或歪线。这些线头可能是由于设计过程中的疏忽或特殊设计需求而产生的。多余的线头会产生天线辐射效应，也会引起信号反射，最终出现信号完整性问题。

以下是不允许的情况：

断头线：



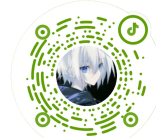
走线拓扑上的分支:



### 10. 焊盘出线宽度

IC 管脚出线的线宽要小于等于焊盘宽度，部分信号（电源线）因载流要求，线宽较宽的，可先与管脚宽度一致，布线出焊盘 10mil 处左右再把线宽加粗处理。

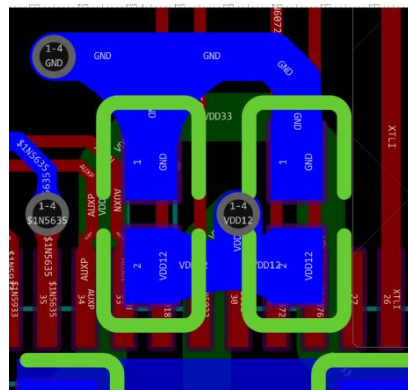
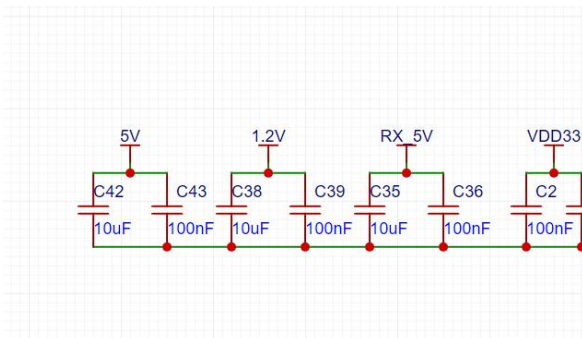




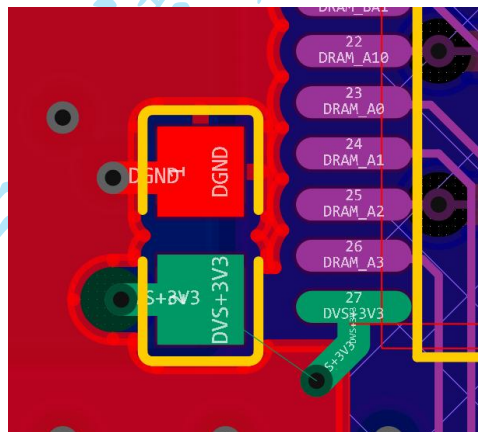
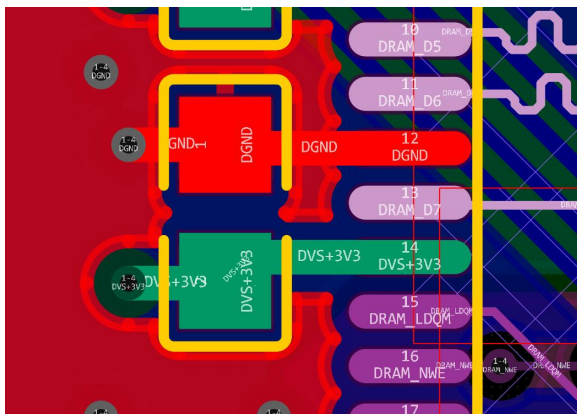
## 10. 滤波耦合电容处理

原理图中模块部分的电容位置，决定了它的 PCB 位置的摆放，根据原理图的设计摆放即可。

IC 芯片的电源滤波耦合电容需要靠近芯片的每一处电源引脚。

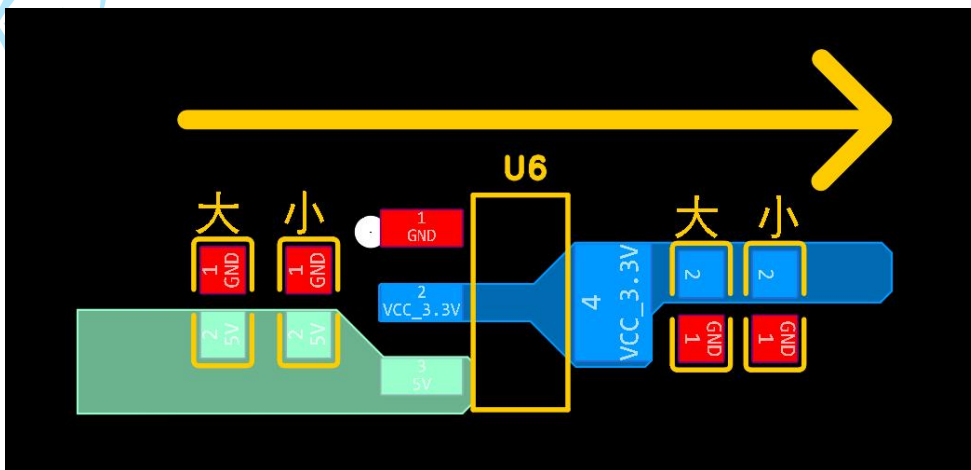


有时 IC 芯片管脚引出过多，顶层走不了电容，可以采用底层处理。不允许离芯片太远。

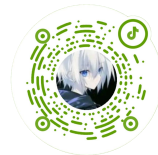


最佳滤波电容处理方式，电源先过电容再过芯片，电容靠近芯片，保证路径最短。有时候 GND 引脚不方便引到电容上，则可以就近打孔，效果一样，但是电源引脚不行，右图就是错误的方式

**不同容值电容摆放顺序：**根据电流流向判断，遵循**先大后小**原则。如图所示，很好理解。大的为 10uF，小的为 100nF；箭头为电流流向。

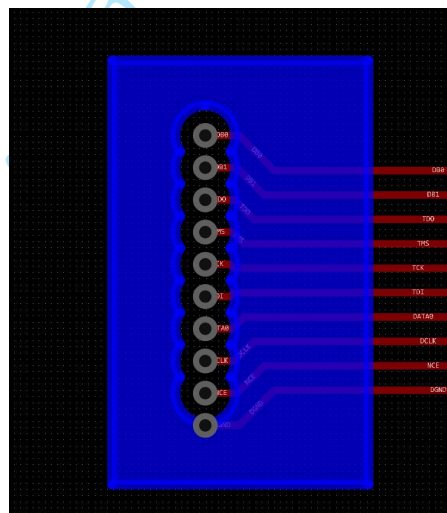
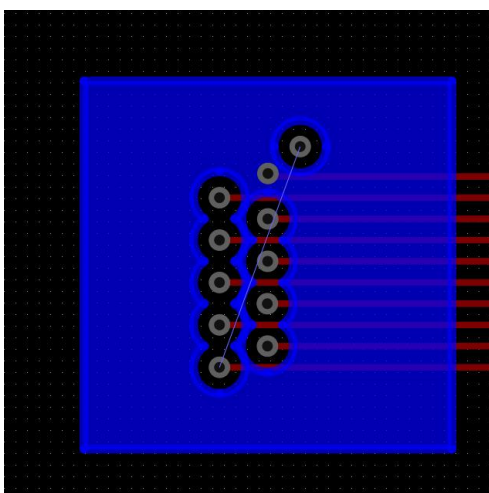
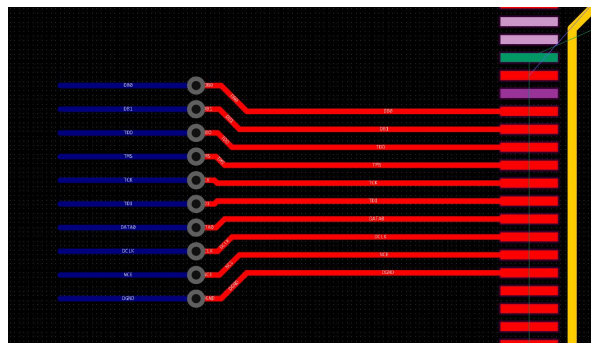
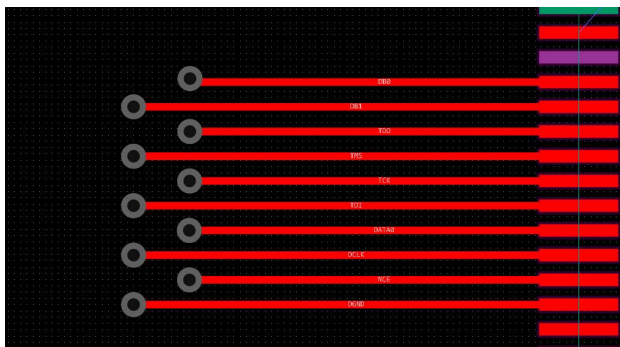




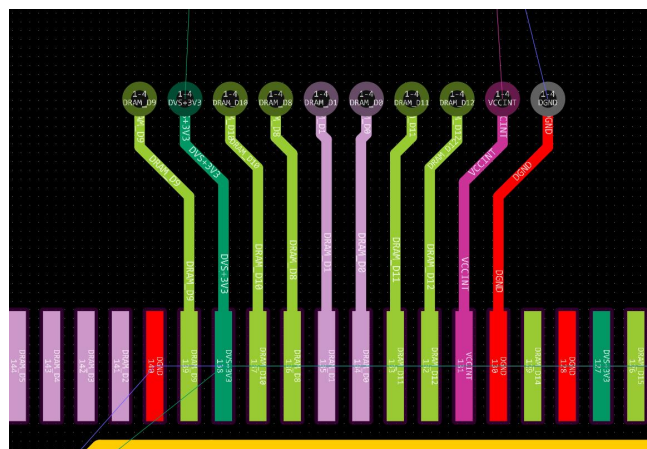


### 13. 多过孔扇出技巧

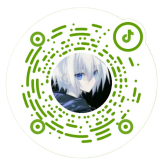
过孔扇出需要考虑间距，要求 2 个过孔之间保证能通过一根信号线，防止多个过孔破坏地与电源的完整性，2 个过孔之间的中心间距建议在 1mm 以上。在演示图中可以看出来两种不同的过孔方式，第一个不仅更加美观，还保证了其他层的地和电源的完整性。



### 14. IC 芯片的过孔扇出



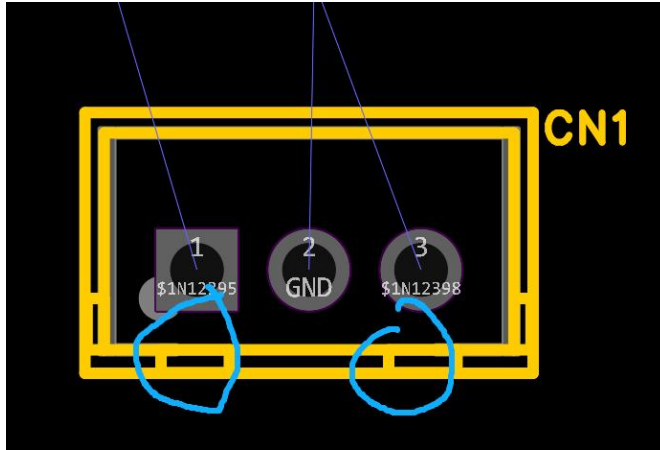
左图优于右图，IC 芯片过孔扇出会因为管脚拥挤造成过孔后难以从其他层走线，一般采用上下过孔，应保持同一水平线上，以方便内层走线以及地平面完整。



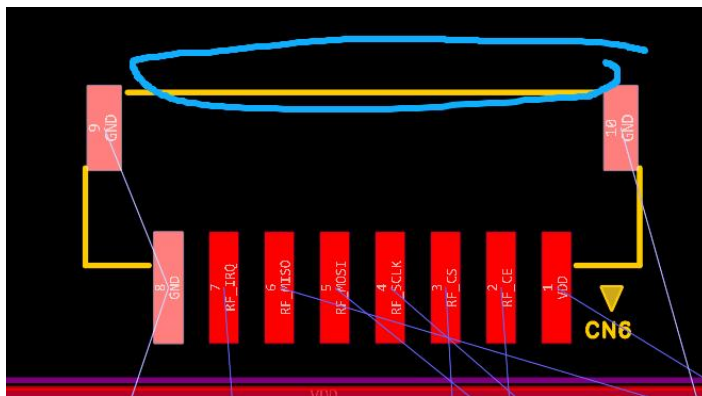
### 四、 常见元器件摆放位置

#### 1. 接线端子正反判断

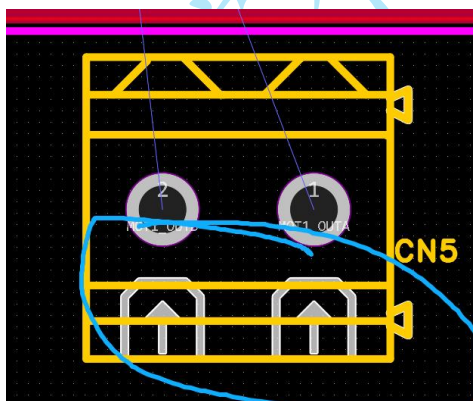
带凸点的朝外



此端朝外



箭头位置指向内，起点是板边



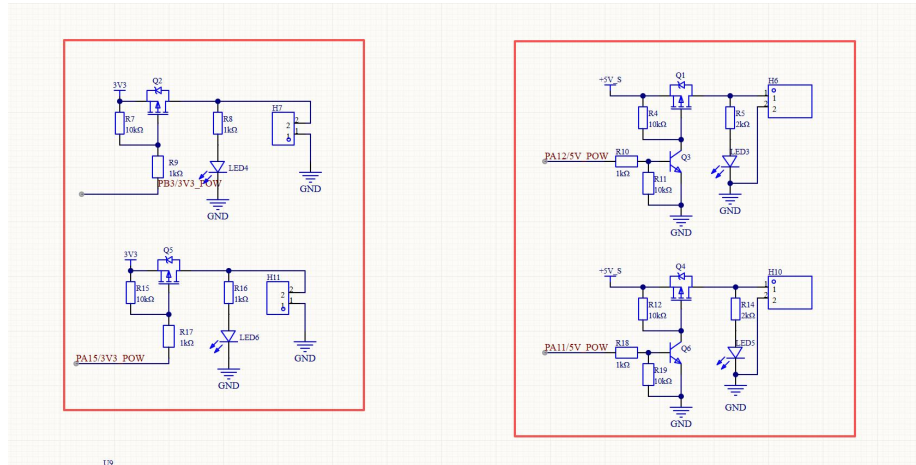
请勿商用



## 五、提升画板速度的方法

### 1. 复用布局布线

完全一样的模块，可以采用复用布局布线来节省时间和美化布局，使其看起来整齐划一，达到事半功倍的效果。步骤是框选已布局好的模块，右键组合→组合选中。再找到另一组同样的模块，框选→右键组合→复用布局布线，点击刚刚复用了的模块→复制成功。



### 2. 多路布线

对于连续的焊盘走线，为了提高速度和美观，可以采用布线中的多路布线，事半功倍。

## 六、常见网络标签命名

### 1. 差分对网络标签

(1) 通用差分标志: XXX\_P/XXX\_N XXX+/XXX-

例如 TXP/TXN, CLK\_P/CLK\_N, DATA+/DATA-

(2) USB 专用: DM/DP, D+/D-

(3) RS485: A/B

(4) CAN 总线: CAN\_L/CAN\_H

### 2. 一般需要差分布线的模块

USB, 晶振 (伪差分), RS485, RS422, CAN 总线, 网口

### 3. 电源网络标签总结

**VCC:** 通用正电源      **VDD:** 器件内部正电源 (例如芯片电压, 多数为 3.3V)

**VBAT:** 电池供电      **VBUS:** USB 供电 (5V)

**VIN:** 外部输入电源    **VOUT:** 外部输出

**GND:** 地                **AGND:** 模拟地

**DGND:** 数字地        **PGND:** 外壳地 (不同地之间多数采用单点连接, 注意隔离)

**FB:** 反馈    **EN:** 使能    **SW:** 开关节点    **VREF:** 参考电压



## 4. 等长网络组常见网络标签

时钟/控制总线: **CLK**、**SCLK** (**Clock**)、**CS#**、**CAS#**、**RAS#**、**WE#**、**CKE**、**OE#** (**Control**)

地址线: **A0-A12**、**BA0**、**BA1**、**BA2** (**Address**)

数据线: **D0-D3**、**D0-D7**、**D8-D15** (**Data**)

## 5. 一般需要设置等长网络组的模块

**SDRAM**、**SRAM**、**DDR**、**FLASH**、**SD 卡**、**多路并行 ADC/DAC**、**LVDS**

## 七、常用快捷键

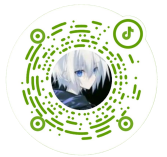
一定要熟练使用，使得画板时间事半功倍，以下快捷键务必提前熟悉

首先在设置中将快捷键配置设置为嘉立创 EDA 标准版，一般都是以标准版的快捷键为标准



### 1. 布线类

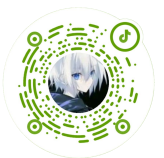
- (1) **W**: 快速布线
- (2) **T**: 切换顶层
- (3) **B**: 切换底层
- (4) **CRTI+R**: 显示/隐藏网络 (非常适合模块布线时思路更明确)
- (5) **V**: 放置过孔
- (6) **TAB**: 修改属性 (万能修改属性, 线宽, 过孔等)
- (7) **SHIFT+S**: 切换图层亮度, 可以只显示顶层走线, 可以更方便的理清布线路
- (8) **C**: 布线菜单 (差分布线, 等长调节之类的)
- (9) **SHIFT+B**: 重建铺铜
- (10) **SHIFT+A**: 等长调节



## 2. 布局类

- (1) **SHIFT+P** (建议改成 **SHIFT+2**,更好操作) : 框选所有元器件, 然后 shift+p, 框选区域, 可以快速集合元器件
- (2) **SHIFT+X**: 交叉选择, 可以快速定位元件在原理图的位置
- (3) **CRTL+SHIFT+X**: 布局传递, 适合模块化布局时从原理图转到 PCB, 快速抽取对应的元器件
- (4) **S**: 展开收起布局面板
- (5) **Q**: 切换单位 (mm/mil)

无刀客个人编写, 请勿商用



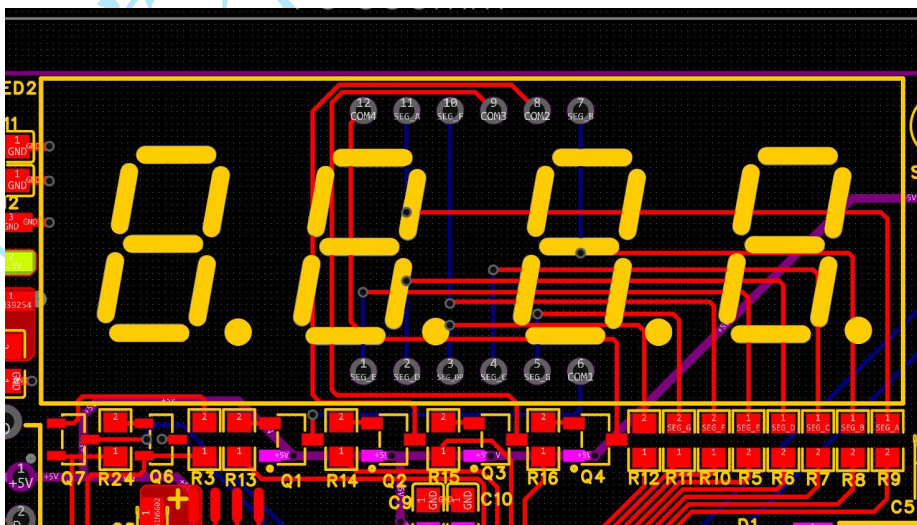
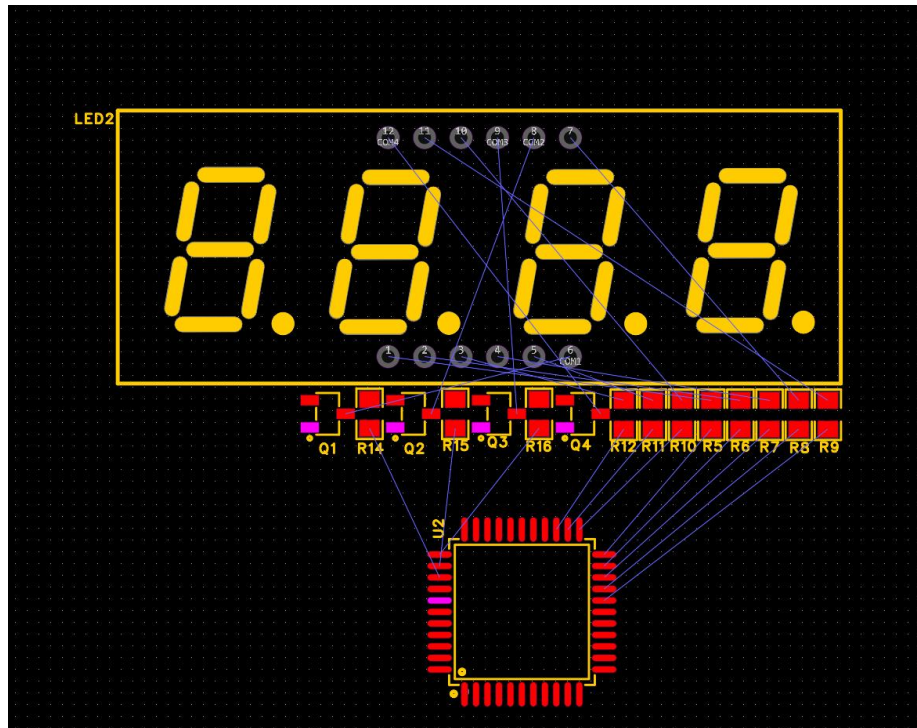
## 八、蓝桥杯常见模块布局布线参考

### 1. 数码管常见布局布线

当电路板中出现数码管，新手往往会束手无策，摆放良久依然有很多交叉。

所以在布局电阻三极管时，**应该最优先考虑与芯片之间的交叉，让其布线最好走。**上方与数码管的交叉不必理会。因为数码管占的地方又大走线又少，完全可以拿来打孔过线。

如第一张图，将电阻三极管与芯片连接的一头摆放顺序使其没有任何交叉。如第二张图，与芯片的连线很顺，与数码管的连接通过横平竖直的打孔也能很快画完。

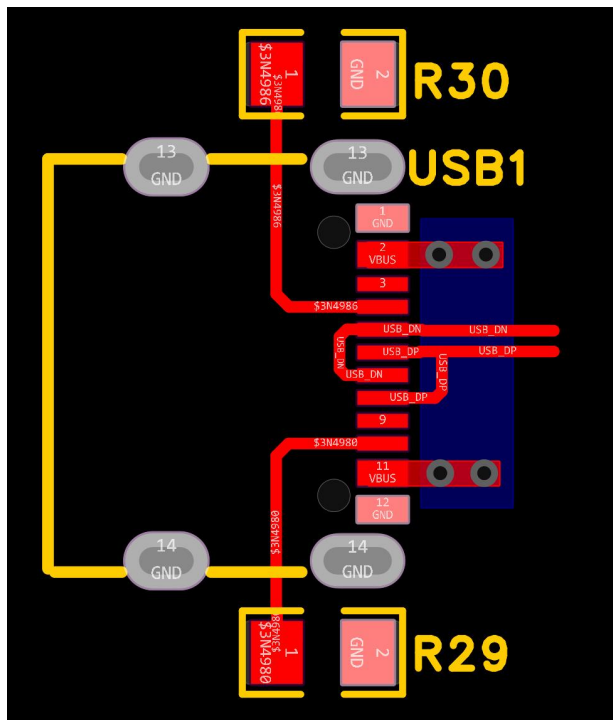




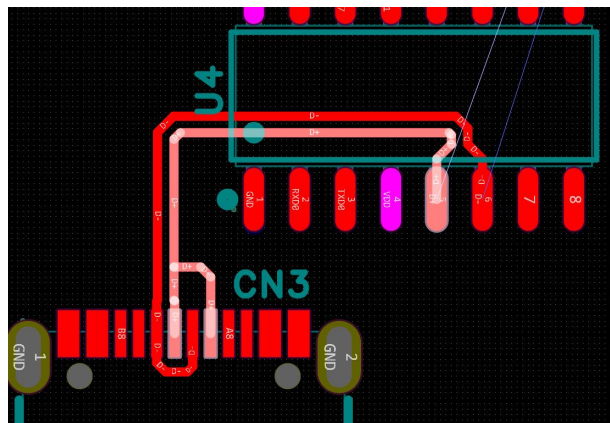
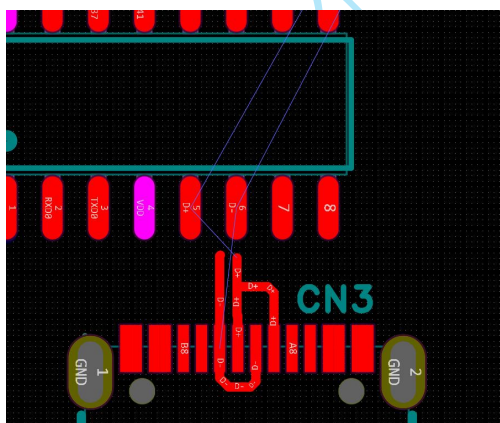
## 2. TypeC 常见布局布线

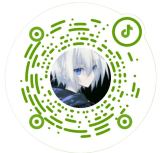
TypeC 固定画法。

- (1) 两个上拉电阻 R30,R29 放在两边或者同一边，不影响其他信号走线。
- (2) 两个 VBUS 电源输入口采用填充+过孔+底层填充连接方式，不干扰其他信号走线，也可以尽可能地增大电流承载能力。
- (3) DM/DP 信号走线，统一 DM 在上，DP 在下，不然会产生打孔。

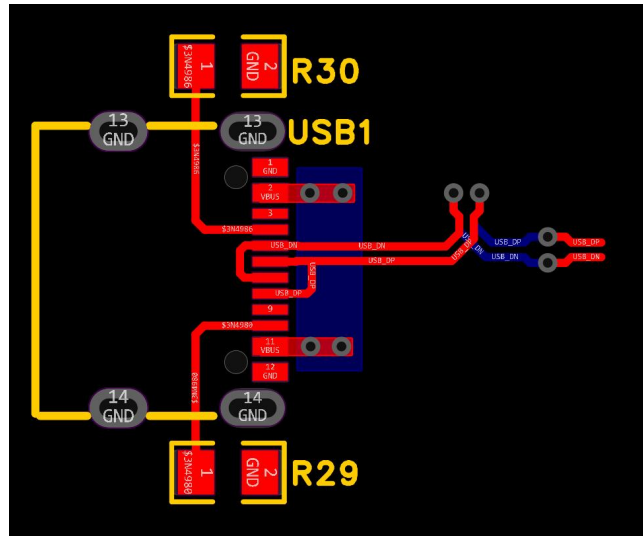


- (4) 假如信号线交叉，可以从芯片旁边进线，这也是差分信号交叉时最优解。



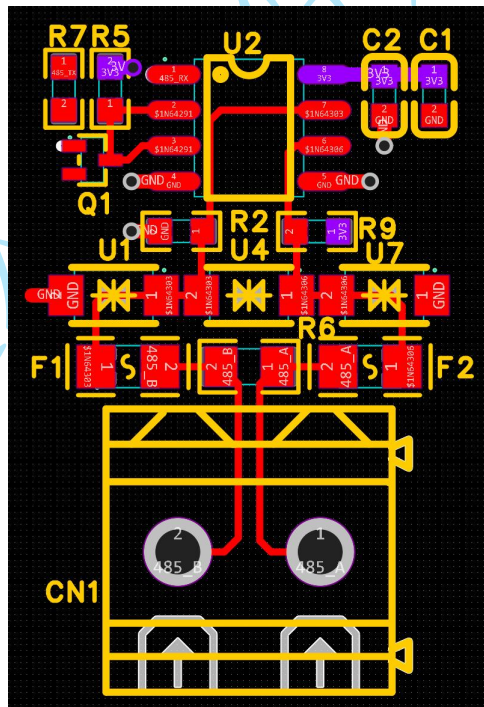


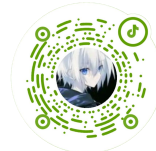
(5) 确有必要打孔的情况，可以采用下图的方式，打孔时一定要对称，不能只打一根线的情况出现。



### 3. RS485 常见布局布线

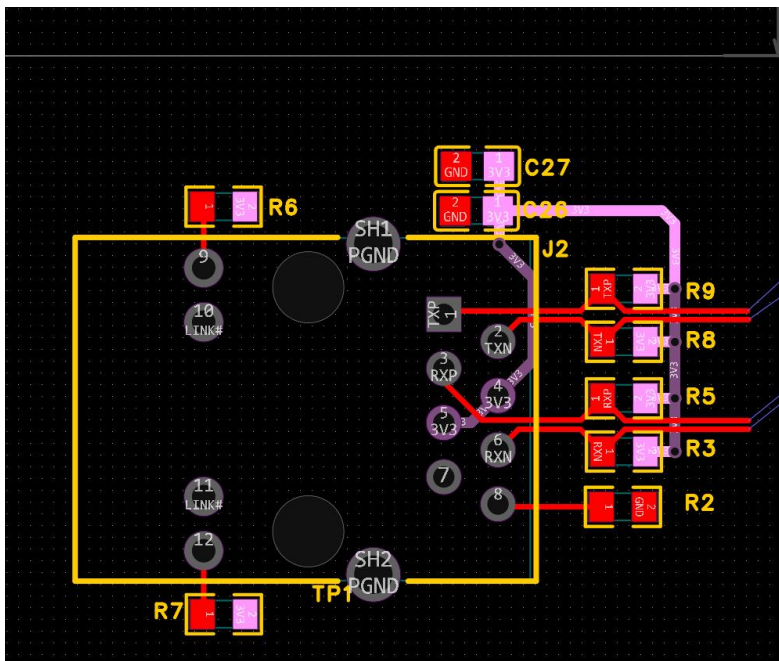
RS-485 是工业级差分串行物理层接口标准，一般通过一个转接芯片转换为 TTL 电平 (RX, TX 接收发送) 与芯片进行通信。RS485 满配形态如图所示，其中的 A/B 信号是一对差分信号。注意 RXD, TXD 不是差分信号。整体布局时采用极致对称即可。





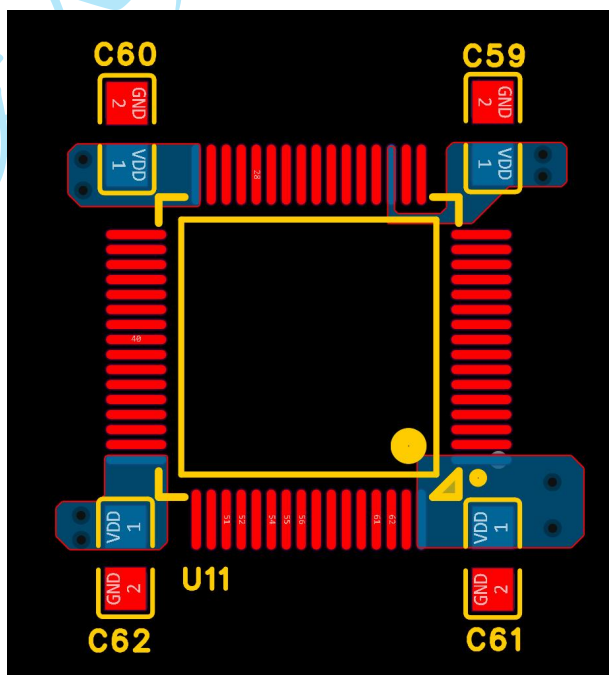
### 4. 百兆网口常见布局布线

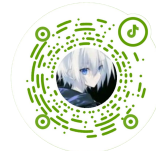
百兆网口具有两对差分对，分别是 TXP/N, RXP/N。出线方式如图，中间两个 3V3 走底层连接，不干扰信号走线。如果差分信号线具有上拉电阻或者串联电阻，采用对称放置，如下图所示，从电阻的斜边出线。其他附属电阻电容放置在两边。



### 5. 芯片电容常见布局布线

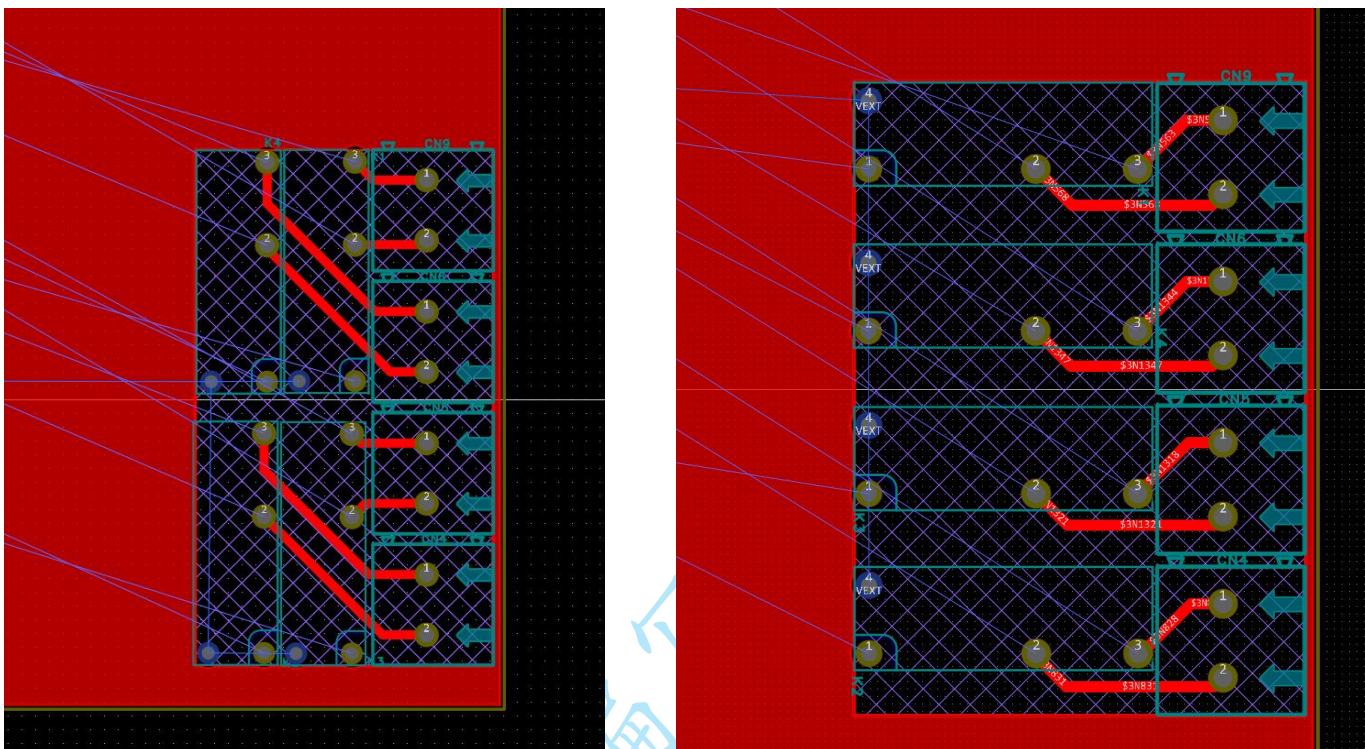
蓝桥杯主流芯片（类似 stm32），通常具有与电源引脚相同个数的 100nf 滤波电容。布局时通常可以放在四个角边。采用无吸附填充进行连接，通过打孔与其他网络进行连接。满足先过电容再过芯片。若有大小电容出现，也需要满足先大后小原则。





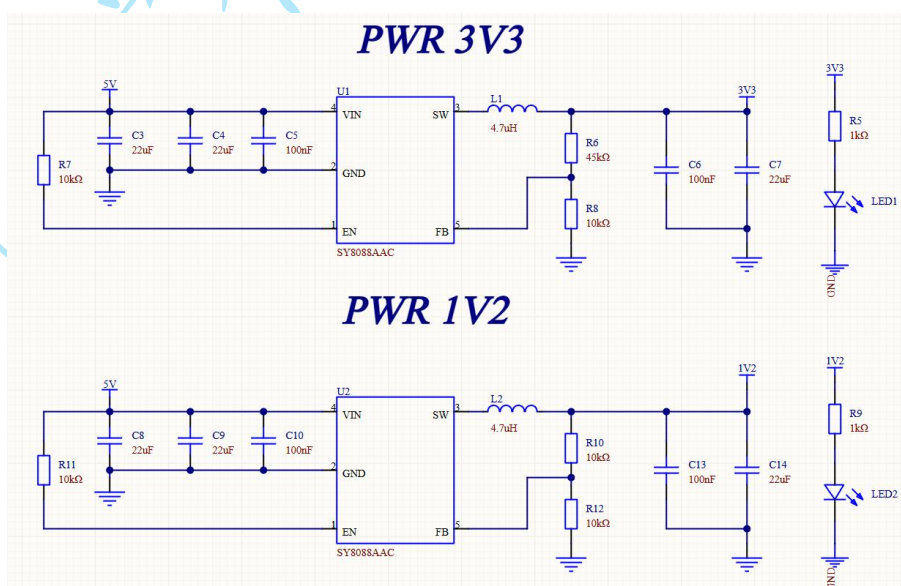
## 6. 继电器常见布局布线

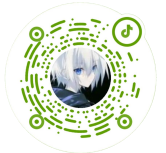
前文讲过继电器的处理，这里只讲多路继电器的布局布线。如果空间不太够，那么继电器和接线端子就如左图所示。如果空间足够，最好的情况是一一对应，如右图所示。其他的元器件再从右边依次摆开即可。



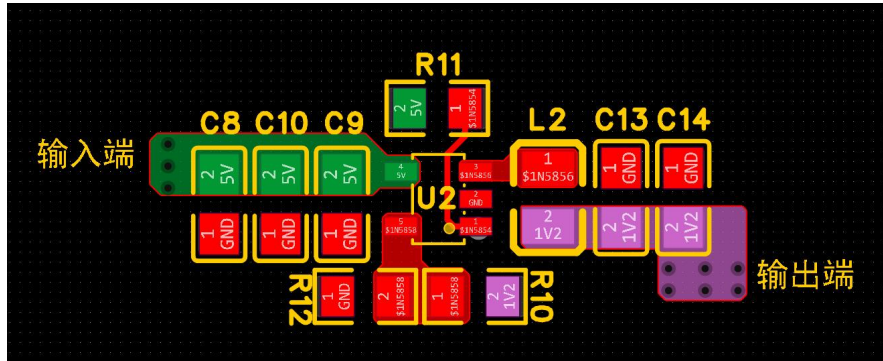
## 7. DCDC 电源常见布局布线

判断 DCDC：左右两边有两种电源网络标签，且元器件中带有电感。

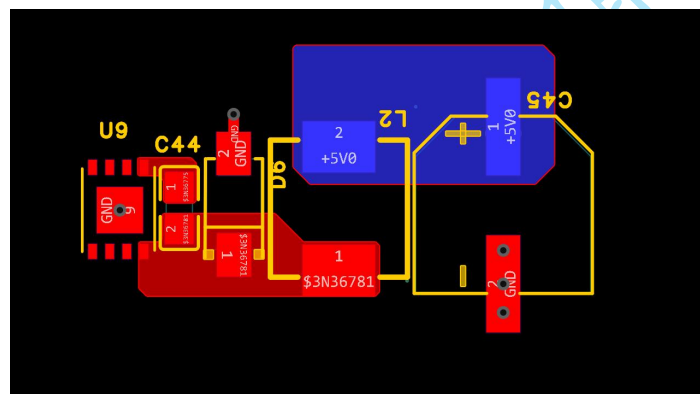




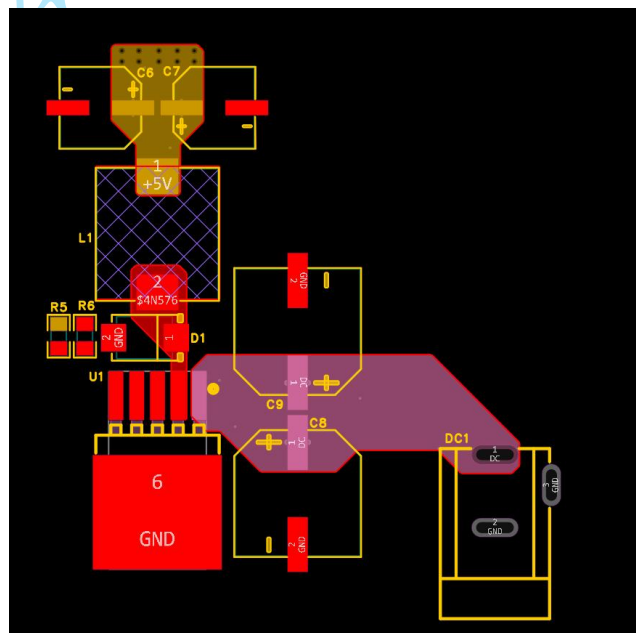
元器件小的 DCDC 电源模块布局如图，电感记得禁止铺铜。输入输出端需要打过孔标明，提示自己应该从哪里出线，整体遵循电流路径，必须先经过电容，如果不清楚每个元器件的作用，那就全部使用填充进行解决，越宽越好。



也可以观察关键元器件，例如电感，一边可以明显看出是 5V，那另一端也应该是主要电流路径，也需要使用填充处理，如图 L2 电感所示，左侧网络也需要铺铜处理。



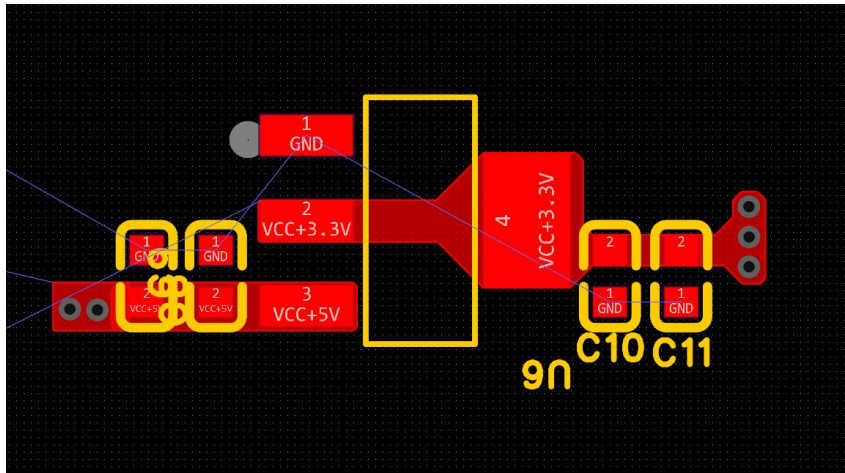
元器件大的 DCDC 电源模块布局如图。此时更需要注意布局和散热。尽量让他们放板边，空间留足，方便散热。U1 芯片的 GND 端也需要靠近板边摆放，同时也要注意遵守电流路径，先过电容。





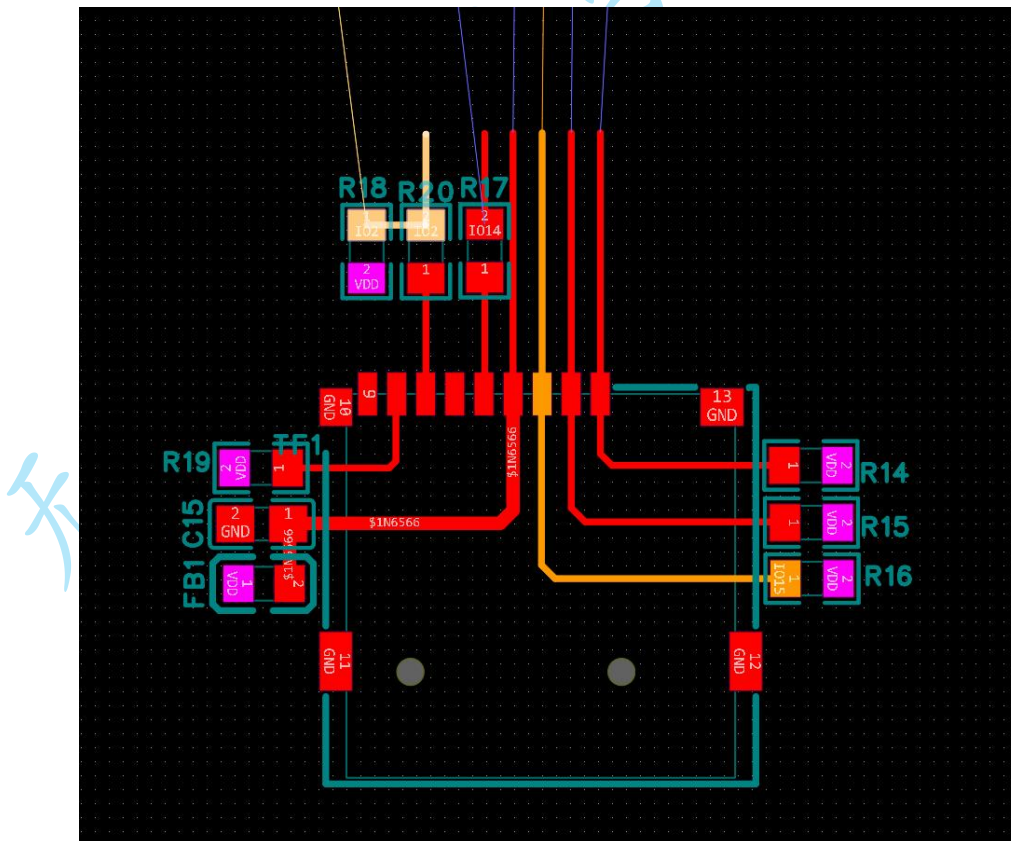
### 8. LDO 常见布局布线

LDO 相对简单，多用于降压差小的模块，例如 5V 降压 3.3V。原理同 DCDC，只是少了电感。



### 9. SD 卡常见布局布线

SD 卡作为蓝桥杯常客，也有固定的布局布线方法。SD 卡多带有很多的上拉电阻。处理时应该像图中所示，将上拉电阻放在两边，不干扰正常走线。将串联电阻放在路径中。



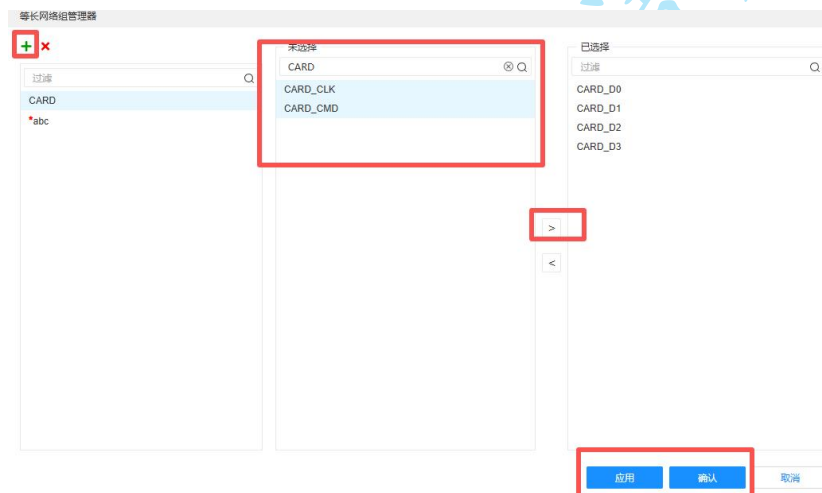


**等长情况：**今年新增了等长网络组，对象为 SD 卡的 D0-D3 的数据线。其实按照标准来说，SD\_CLK、SD\_CMD、SD\_D0-SD\_D3 都需要设置为一个等长网络组，操作如下。

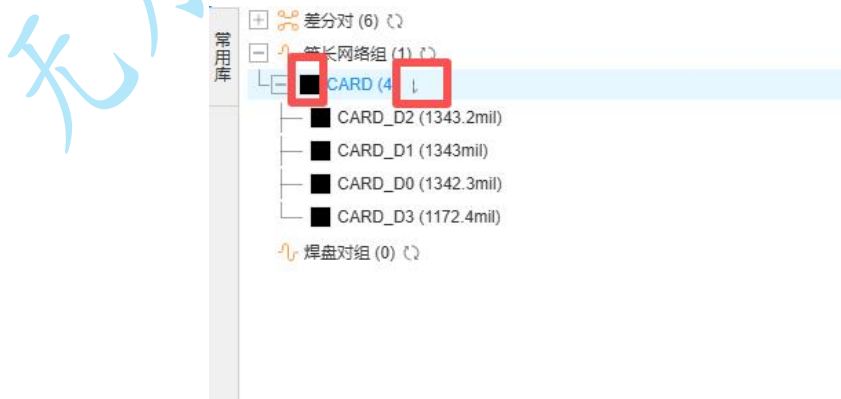
首先在左边栏等长网络组处点击右边的加号

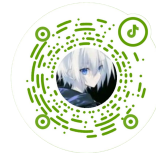


然后先在左边添加网络组，名字随便取，中间选择题目要求的网络，点击箭头挪到最右侧即可，最后应用确认。



设置好后，先将信号线进行连接，留足等长空裕，能不过孔就不过孔。实在要过孔，那所有 SD 信号线都走底层。之后再点开左边栏，有个网络长度排序，点击后以最长网络为基准。依次从最短的信号线开始等长调节。





## 10. 射频 RF 常见布局布线

除开禁止铺铜外，射频信号线需要短而直，尽量加粗，尽量使信号线不转角度到达终点。



## 11. SDRAM 常见布局布线

SDRAM 布线较为复杂，文字很难描述清楚，建议找一两个视频学习。

SDRAM 以成图和 16 届蓝桥杯国赛举例。首先搞清楚 SDRAM 都具有哪些信号线，哪些需要特殊处理。

时钟/控制总线: **CLK**、**SCLK (Clock)**、**CS#**、**CAS#**、**RAS#**、**WE#**、**CKE**、**OE# (Control)**

地址线: **A0-A12**、**BA0**、**BA1**、**BA2 (Address)**

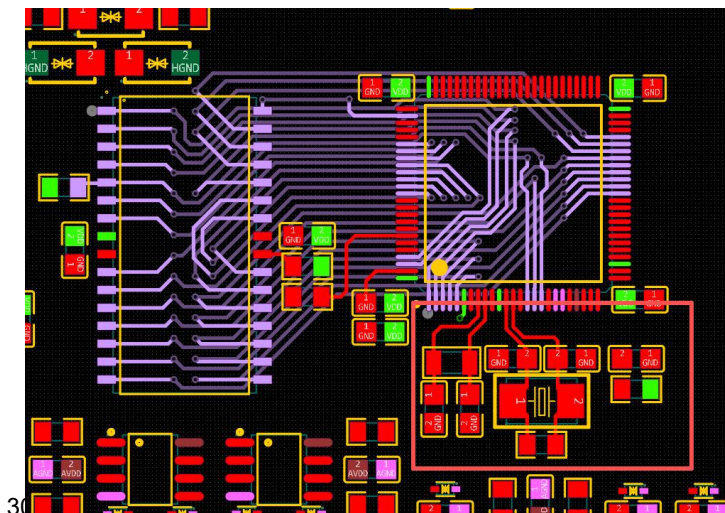
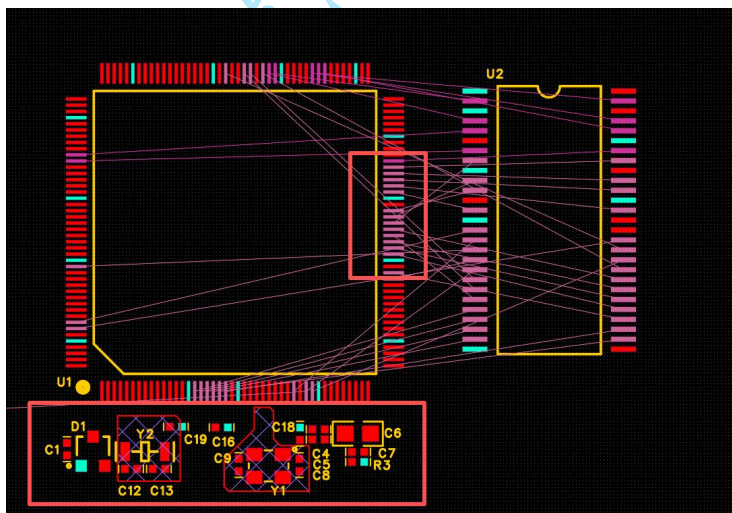
数据线: **D0-D7**、**D8-D15 (Data)**

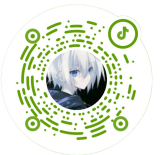
### 注意事项

- (1) 以上所有信号都需要进行设置为同一等长网络组，长度误差以题目为准或者  $\pm 100\text{mil}$
- (2) 数据线每八根尽量走同一层，分别是 (低八位) D0-D7，(高八位) D8-D15。
- (3) 所有信号线之间保证 3W 线距或者 20mil 间距。包括同一信号的等长调节。
- (4) 如果有四层板，与信号线相邻层不要与信号跨分割。
- (5) 对于信号旁边的碎铜需要禁止铺铜处理掉。

### SDRAM 布局技巧

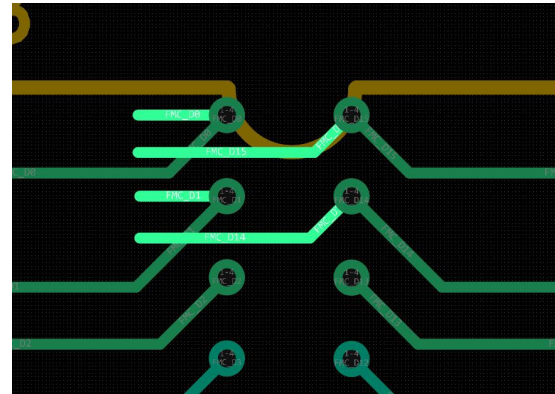
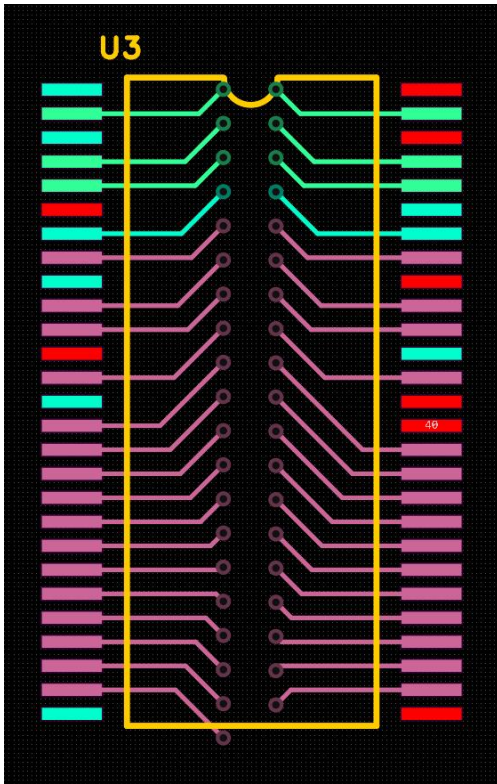
SDRAM 与芯片距离需要保持在 1000mil 以内，具体取值根据中间是否有元件，其他焊盘是否需要出线而定。SDRAM **竖立**紧贴芯片一侧，选择哪一侧主要取决于哪一侧相关焊盘更多，**注意不要放在晶振一侧**。



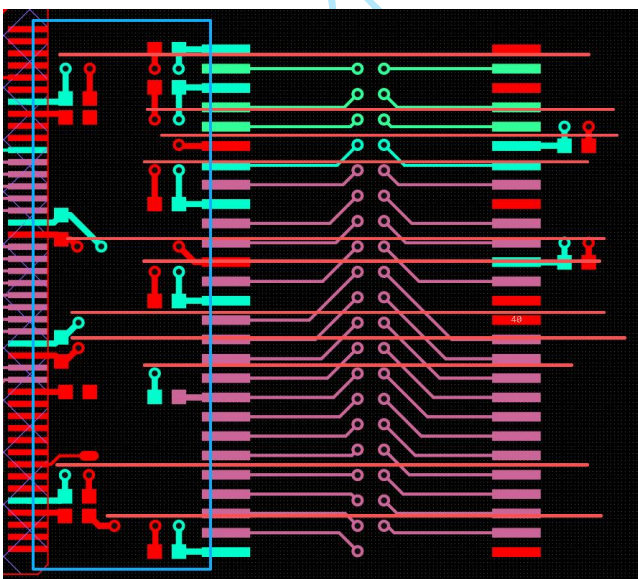


### SDRAM 扇孔技巧

如图所示，利用多路布线，等距分布等操作，将除了电源和地的信号线引出来打孔，保证都在同一列同一行。上下间距保证底层能过一根线即可如图所示。



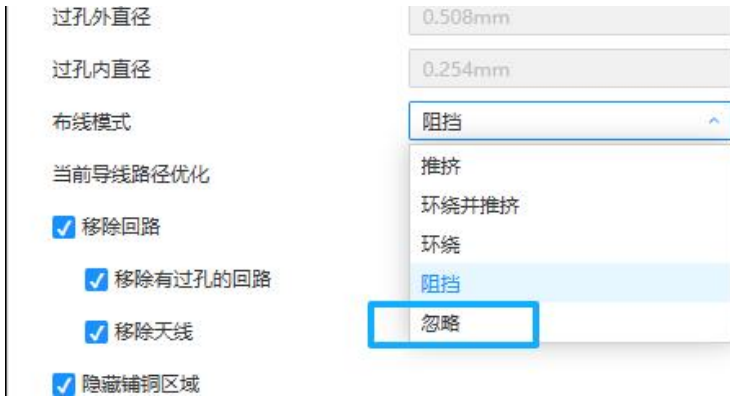
蓝框所示为 SDRAM 和芯片的滤波电容以及两个芯片间的地过孔。每个焊盘放置一个，出线过孔以及两个芯片间的地过孔时务必与右侧 SDRAM 打孔对齐。方便后续底层出线以及等长调节。



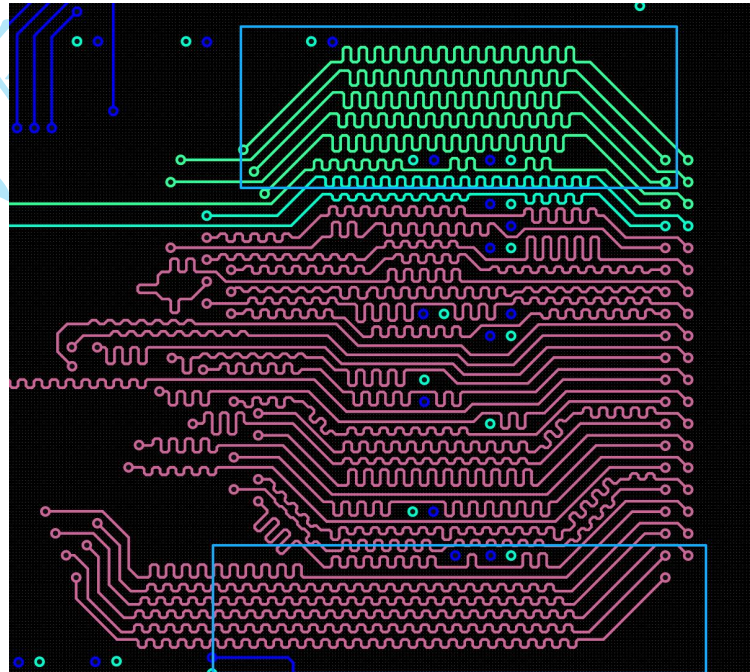
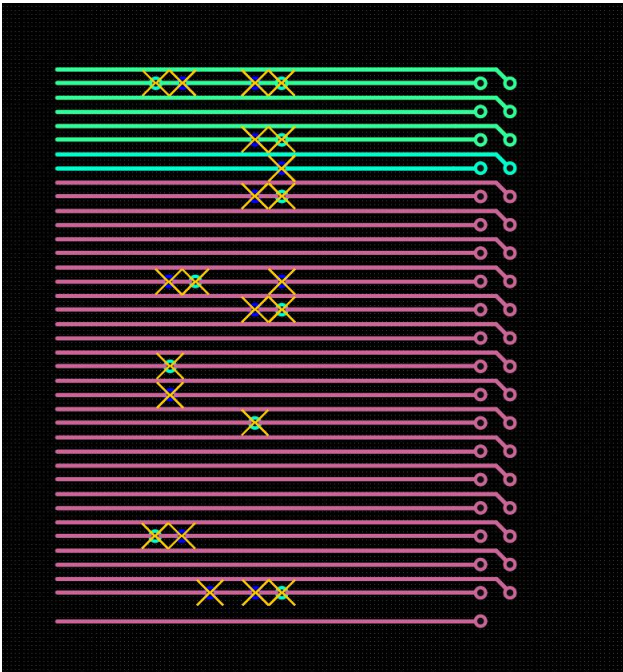


## SDRAM 出线

与平时布线不一样的，在保证过孔对齐的前提下，只要信号线之间无交叉，中间的 DRC 报错不用管。所以首先就要把布线模式改为忽略。



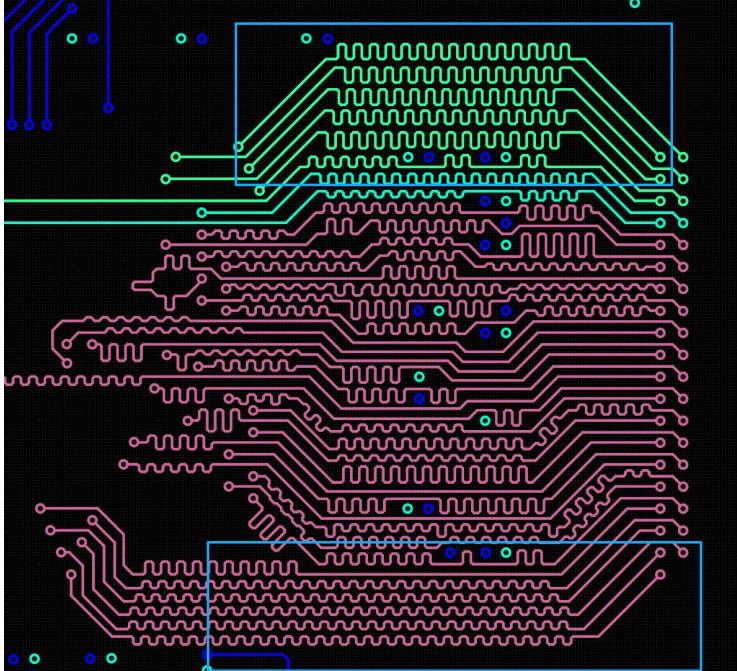
如左图，只要网络无交叉，与过孔之间的 DRC 都先不用管，最后都能通过调整信号线完成，如右图，最后通过挪动上下信号避开过孔就行。





### SDRAM 等长

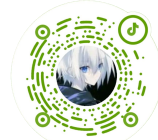
等长调节前先确保信号线无 DRC，信号线之间间距  $3W$ ，可以适当上移或下移信号线。如下图蓝框所示，上下移动信号线就是为了避开中间过孔导致的 DRC。同时，若中间信号线无法通过等长调节到合适的长度，也需要上下移动信号线来拓宽中间信号的等长调节范围。



请勿商用

等长调节首先要满足  $3W$ ，走线方式根据空间大小按情况选择单边或者双边。





## 12. 多地多电源隔离-布局布线

PCB 中为了隔离干扰、防止杂波串扰，保证电路稳定，有时会将地或电源分割为数字地、模拟地、外壳地，数字电源、模拟电源。

**FGND (外壳地)：**多用于设备的金属外壳，屏蔽壳。作用是防静电、屏蔽电磁干扰。**连接方式：**与信号地采用大电容+高压电阻并联的方式单点连接。

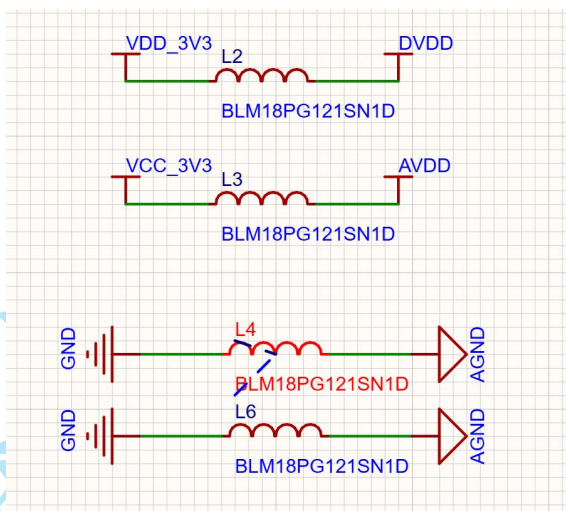
**DGND (数字地)：**多用于 MCU，开关电源，串口。特点是电流跳变快，高频噪声大，毛刺多。**连接方式：**与其他地采用磁珠、0 欧电阻串联的方式单点连接。

**AGND (模拟地)：**多用于 ADC/DAC、音频、电流/电压采样、微弱信号、传感器。特点是信号微弱，要求地线极干净。**连接方式：**与其他地采用磁珠、0 欧电阻串联的方式单点连接。

**DVCC (数字电源)：**给数字芯片供电，波动大、噪声大。**连接方式：**与其他地采用磁珠、0 欧电阻串联的方式单点连接。

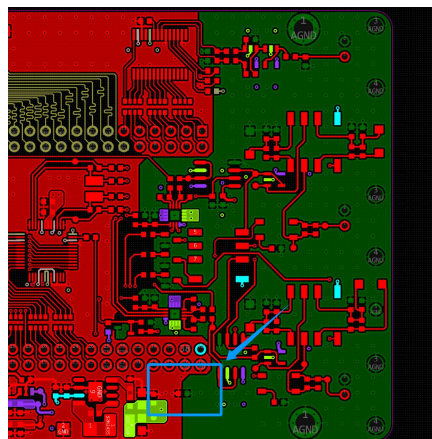
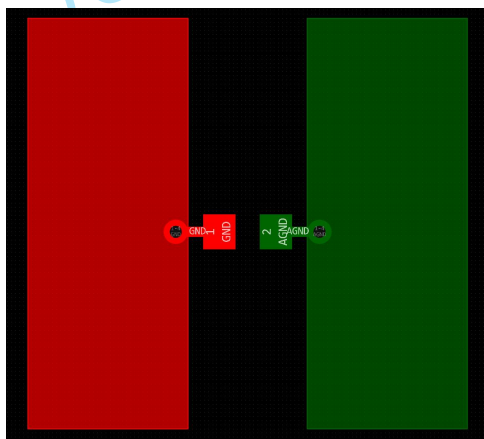
**AVCC (模拟电源)：**给精密模拟电路供电，底纹波、低噪声。**连接方式：**与其他地采用磁珠、0 欧电阻串联的方式单点连接。

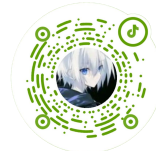
下图为不同地、电源通过磁珠单点连接在一起。



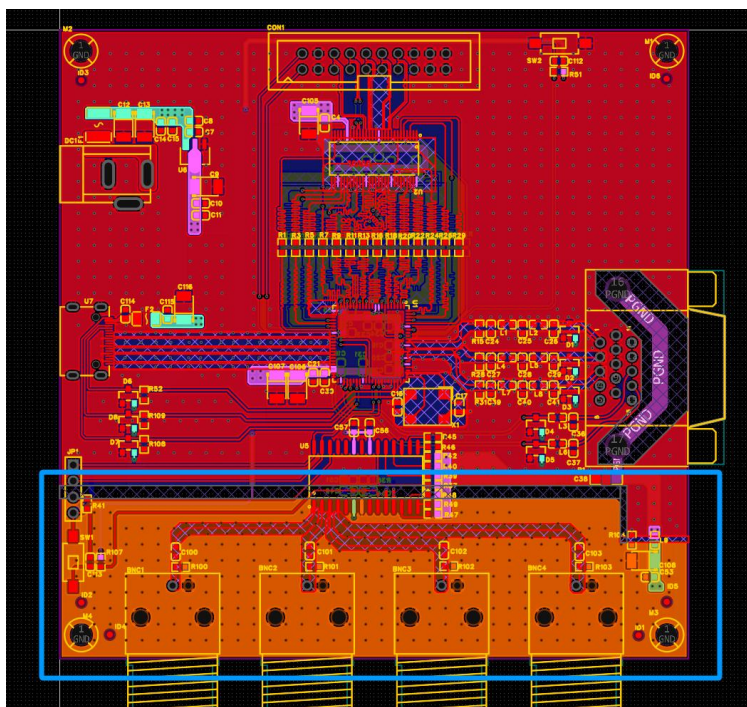
### 布局方式

最佳布局方式是两个地通过一个磁珠单点连接，左侧所有器件以 GND 为地，右侧所有器件以 AGND 为地，达到最佳隔离效果。

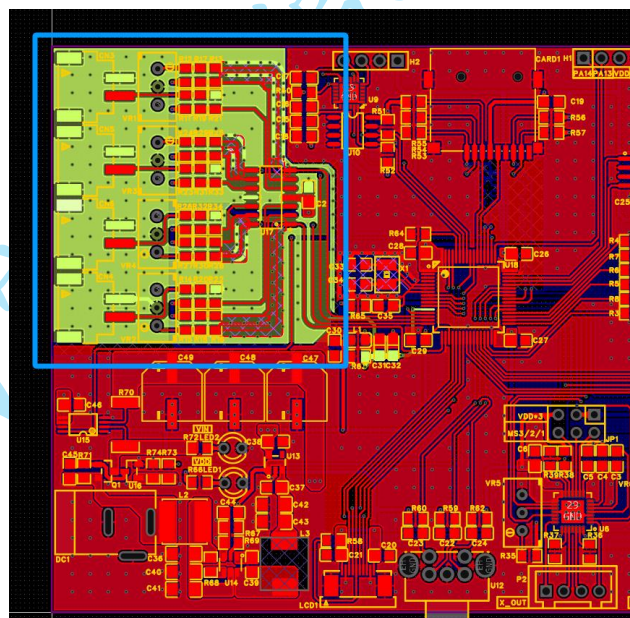




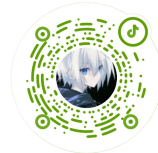
比赛中多以数模分离作为考点，在 17 届省赛就出现了数模隔离。在布局时，ADC 采集信号部分尽量放在一块，与其他模块分开，有条件的可以用禁止铺铜拉警戒线。



图为 24 年成图模拟，下方为整个 AGND，与 GND 通过一个磁珠单点接地，其他部分用禁止铺铜隔离。



图为 17 届省赛，左上方为 AGND 模拟地。

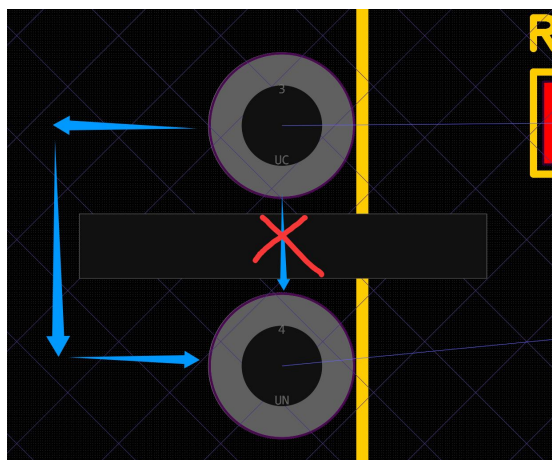


### 13. 强弱电常见布局布线

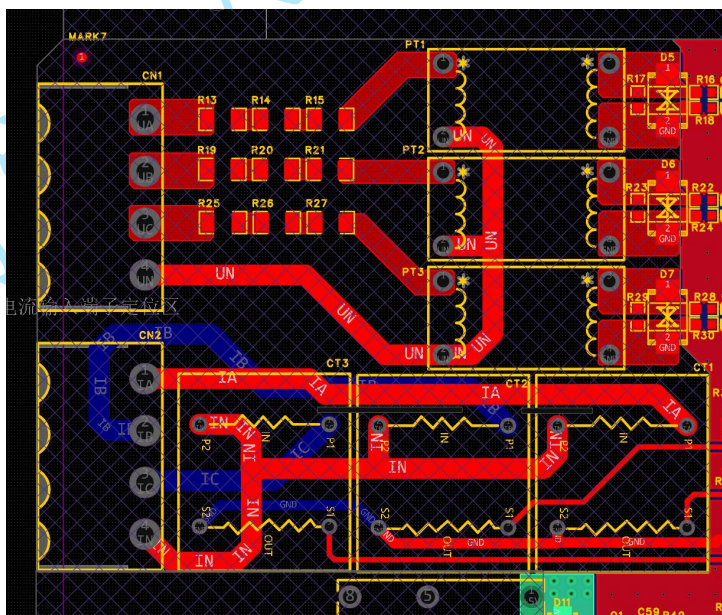
高压相比于低压，更容易击穿空气，电压越高、空气绝缘能力越弱，极易产生拉弧、打火、飞电。同时 220V 交流电杂波、辐射极强，不和低压电路分开，会造成极大的串扰，例如采样不准、通讯异常、单片机乱跳。所以高压布线相比于低压布线，需要满足安规距离、强弱电隔离和布线宽度。

**安规距离（爬电距离）：**不同网络沿绝缘表面爬行的最短距离。通俗来讲就是不同网络从 PCB 板表面连接的最短距离。

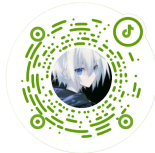
下图箭头所指就是不同网络的爬电距离，中间是挖槽部分。通过此图可以得知，放置适当的挖槽区域可以增大不同网络的爬电距离。



**强弱电隔离：**和继电器类似，把高压部分禁止铺铜即可，高压地和低压地分离。



**布线宽度：**记住铁律 1A 走 1mm (40mil) ， 2A 走 2mm (80mil) ...多数时候用填充更合适。



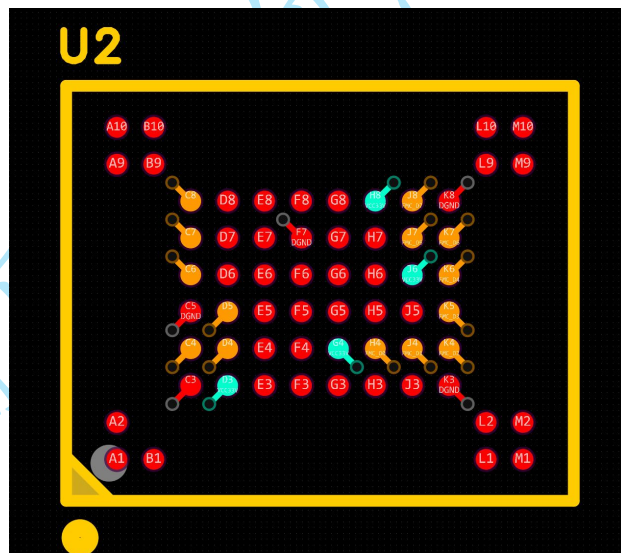
### 14. BGA 常见布局布线

BGA 多半不会出现, 因为蓝桥杯不允许双面布局, 而 BGA 的滤波电容是一定要放在底层的。这里只大概讲一讲, 和 SDRAM 一样, 看视频更容易理解。成图题目中 BGA 封装的芯片多以存储芯片为主。引脚与 SDRAM 一样, 分为电源类 (V)、数据类 (D)、地址类 (A)、时钟/控制类信号 (C)。

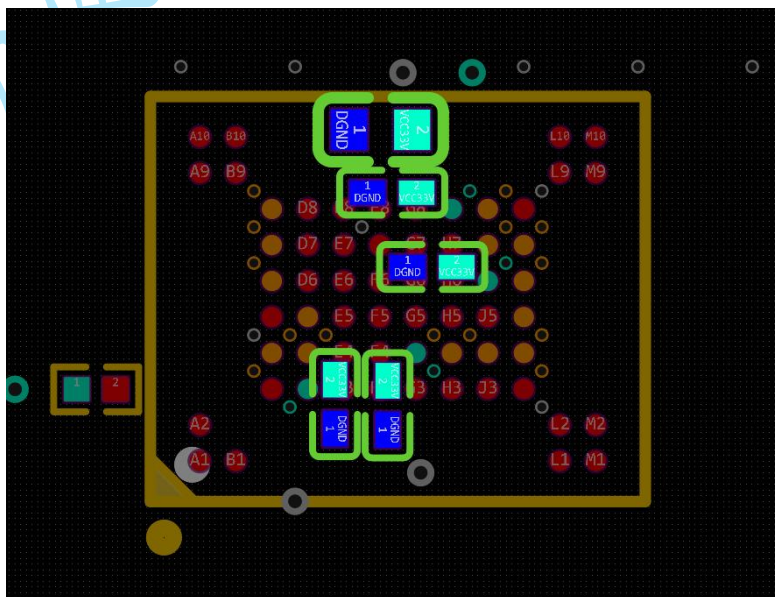
以上除了电源类的信号线都要设置为同一等长网络组, 数据类每八位最好走同一层, 因为比赛板子为四层板, 都走底层最好, 以内层 2 为参考平面。同时需要注意内层 2 铺铜时不要将信号线跨分割。

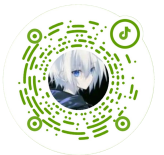
#### BGA 扇出规则

BGA 焊盘很密, 只有通过 45 度出线打孔走其他层的方式引出, 无法走顶层。嘉立创操作如下: 右键 BGA 器件, 选择扇出布线, 选择默认即可, 应用。



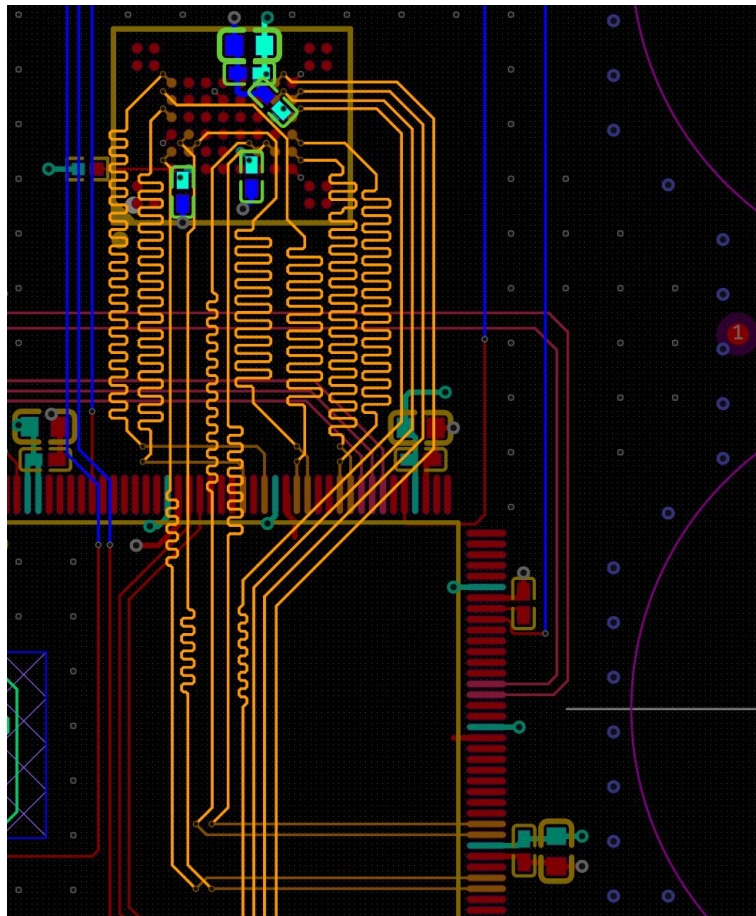
底部需要将滤波电容放置在最近的电源扇出引脚旁, 如果干扰走线可以 45 度放置。



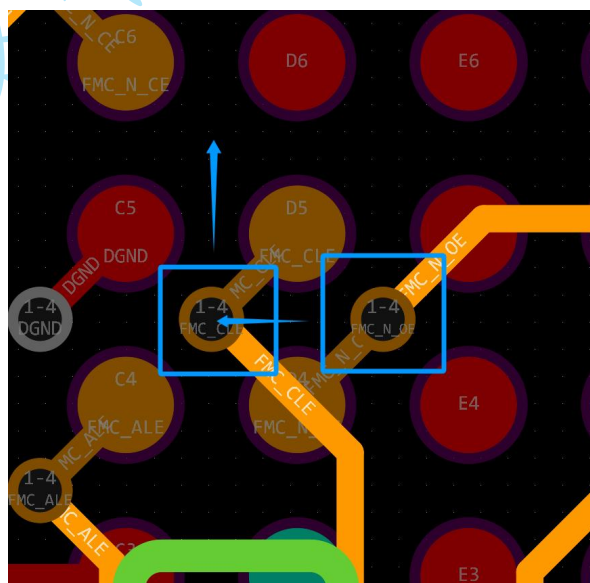


### BGA 出线

在芯片出线时，尽量保证尽量短的打孔，让信号线都走底层，保证参考平面不变。下图有四根信号线是因为直接引出不好走线有交叉，只能拉长一点打孔出线。



同时为了方便走线，有时可以改变扇出角度来减少交叉数量。图中蓝色箭头所指方向为原来扇出方向。



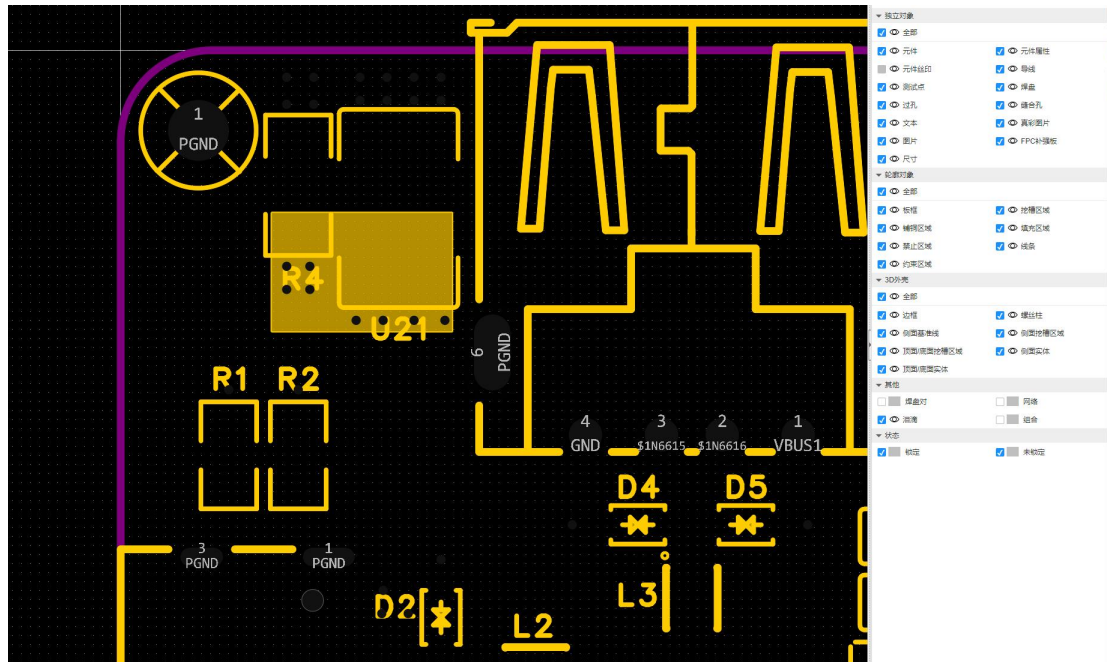
最后和 SDRAM 等长一样处理就好。



## 九、比赛常见问题解答

使用嘉立创时偶尔会因为软件 bug 或者自己误触导致一些不可描述的问题。我汇总一些以前遇到的问题作为经验，避免大家在比赛时一头雾水。

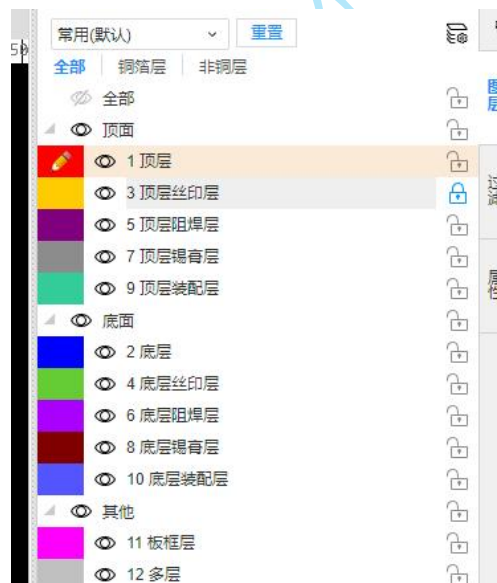
### 问题一：元器件丝印无法挪动，顶层丝印层无法点击。（或者其他层出线问题）



我遇到过的情况：元件属性丝印无法挪动

### 解决方法：

检查右侧图层是否锁定了某一层，这样会导致无法拖动某一层的所有东西



检查右侧过滤，是否把元件属性没有打勾，没有打勾同样代表锁定。可以点重置恢复原样



## 举一反三：设计图转 PCB 发现一条网络导线都没有

### 问题二：在设置里设置了吸附但是不管用？

有时为了解决元件微小移动的问题，会关闭吸附操作。但是如果遇到无法恢复吸附的情况该如何操作。



我遇到过的情况：全部都点上，依然没有吸附效果。

### 解决方法：

单击 PCB 层空白区域，右侧点开属性栏，吸附选项勾选即可，同时建议布线时打开吸附，网格/栅格尺寸改为 5mil，更容易布出对称工整的走线。

**吸附条件：设置里的吸附和右侧属性的吸附全部要打开**

**不吸附条件：只需要关闭右侧属性即可，之前我操作弄复杂了**

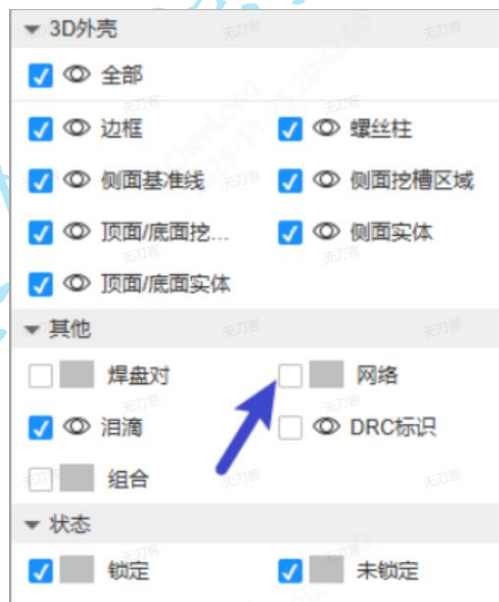




**问题三：删除一段网络线，结果把这个网络所有的信号线都删除了**



**解决方法：**在右侧过滤选项栏中，将网络/焊盘对进行取消勾选，若勾选了则是会默认选中整个网络或焊盘对。

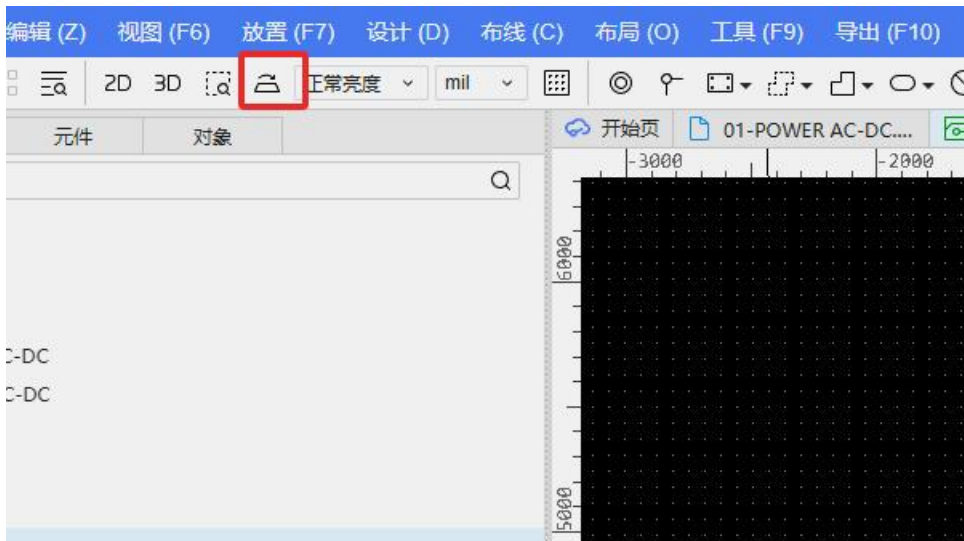




**问题四：**不知道按到什么键，PCB 板和元件包括名字都镜像了

**大概率是按到了快捷键 F，翻转板子了。**

**解决方法：**可以再按一次 F，或者点最上面翻转图标即可。



**问题五：**新建的元件怎么放置不出来，或者放置选项是灰色



这里想放置自己画的 XDC，可以看到“工程”和“第一次设计”分类都有名字一模一样的元件。点击放置发现放不出来。这是因为同名的元件冲突导致的。

**解决方法：**在工程库中，找到这个多余的元件删除即可。还有一种可能是没有解压文件就直接导入。

**总结：**比赛时出现问题，首先看右侧图层和过滤栏，是否有锁定或者没有打勾的选项，这是绝大多数问题的解决方法。例如元器件拖动不了，拖动看不见飞线，找不到丝印等。



## 附录：比赛全流程解析+步骤解构

早上 7 点起床，吃好早饭。

带上：

1. 身份证
2. 提前打印好的准考证
3. 面包牛奶等填肚子的食物
4. 一台作为二机位监控的手机以及充电器和手机支架

8 点 30 分，登录操作系统，用笔记本自带摄像头进行人脸识别认证，调整监控机位，作好赛前准备，仔细阅读比赛说明。

8 点 55 分，打开录屏软件开始录屏（推荐 OBS studio）

9 点 00 分，正式比赛，在比赛系统下载资源包，在系统公告中查看解压密码，解开资源包。资源包分为客观题和设计题部分。

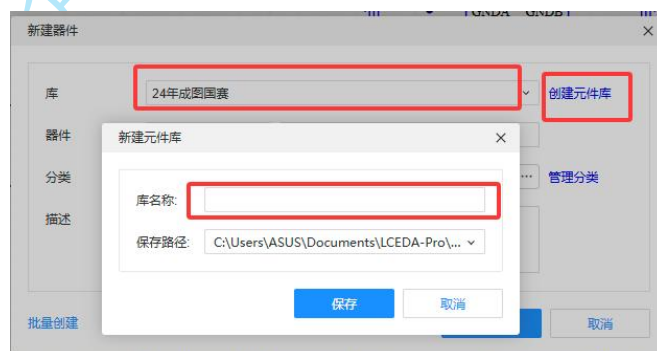
客观题为 10 道不定项选择题，总分 15 分。技巧：花费时间不超过 10 分钟，没有把握先跳过，最后再来做或者直接蒙，重心放在设计题。

9 点 15 分，你迫不及待的打开设计题，打开资源包

分为 设计题目.pdf SCH.eprj lib.epro

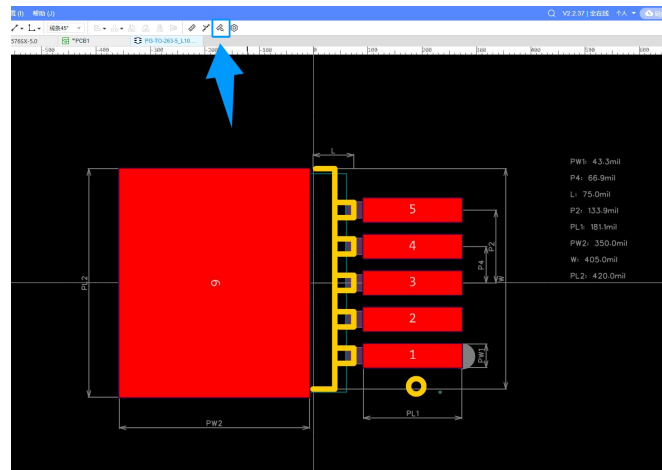
首先直接打开设计题目 (PDF) 和 SCH.eprj 文件 (嘉立创的标识，可以直接点击打开)。

1. 阅读题目，查看是否有和平时练习时不一样的要求，比如最终需要提交的文件是否为网表文件(enet)，工程文件 (epro)，图片文件 (png)。
2. 简单浏览原理图难度，看一下原理图每个图页都有什么内容
3. 元件设计+封装设计：速度要快，封装要精准
4. 元件设计记得改焊盘长度为 0.1ich (往届皆是如此，答题时也需要自己再看看是不是 0.1ich 的尺寸)，建议新建一个库专门存放比赛的内容，在新建元件的时候创建，创建后记得选择这个库，同样，新建封装的时候也放在这个库。

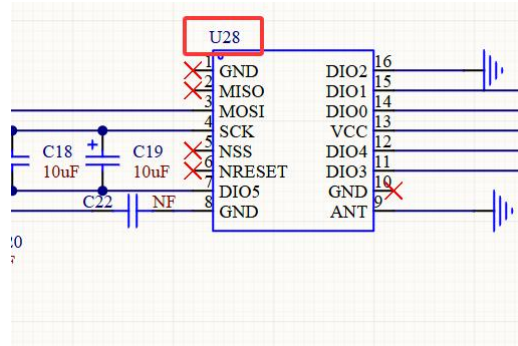




5.检查封装尺寸是否一样，在封装页，点击最上面的**检查尺寸**，检查是否一样

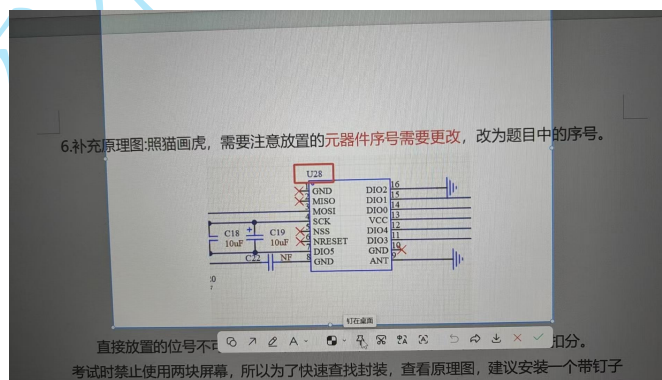


6.补充原理图:照猫画虎，需要注意放置的**元器件序号需要更改**，改为题目中的序号。



直接放置的位号不可能是题目要求的位号，**一定记得更改**，机器批卷会扣分。

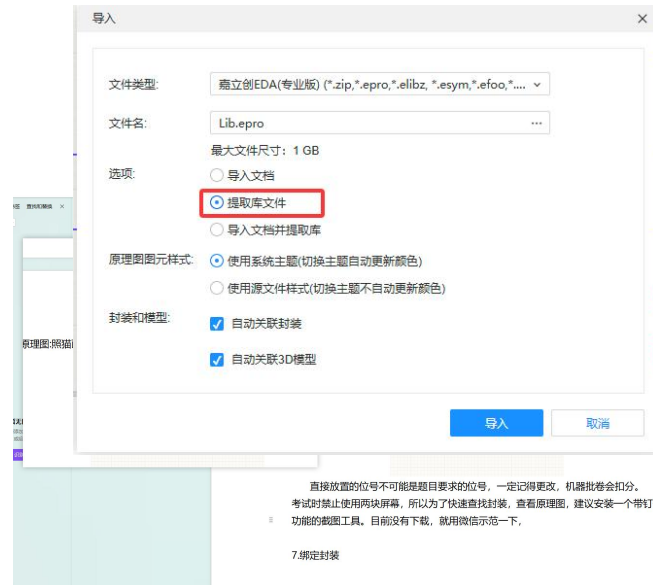
考试时禁止使用两块屏幕，所以为了快速查看抄画原理图，建议安装一个带钉子功能的截图工具。目前没有下载，就用微信示范一下。（提前试试能不能用截屏软件，不能用就算了）





把需要抄画的原理图钉在桌面，这样就可以置顶在屏幕上，免去了频繁切换的麻烦。

7. 绑定封装：这一步较为恶心，不仔细出错了扣分较多。同样用截图工具钉在桌面方便查看。然后现在导入资源库的 Lib.epro 文件，需要注意的是，选项改为提取库文档，同时库也要改为刚刚新建的考试库。



直接放置的位号不可能题目要求的位号，一定记得更改，机器批卷会扣分。  
考试时禁止使用两块屏幕，所以为了快速查找封装，查看原理图，建议安装一个带钉子功能的截图工具。目前没有下载，就用微信示范一下。

7.绑定封装



将题目中的表格截图钉在旁边方便查看。打开封装管理器，一个个对应选择封装录入，一定注意封装的名称，一般会出很相似的封装，尤其是保险丝，芯片，电阻电容等封装。一个小技巧，对于电阻电容，可以先把和大众不一样的异类绑定好封装，比如电解电容，钽电容等，然后再把剩余的 0805 或者 0603 电容电阻一次性绑定好。



9 点 45 分, 大概你已经完成好了前面的内容, 正式开始进行 PCB 设计了, 去掉 15 分钟的最后文件打包时间, 留给我们的 PCB 设计时间刚好是 4 个小时。

### PCB 部分:

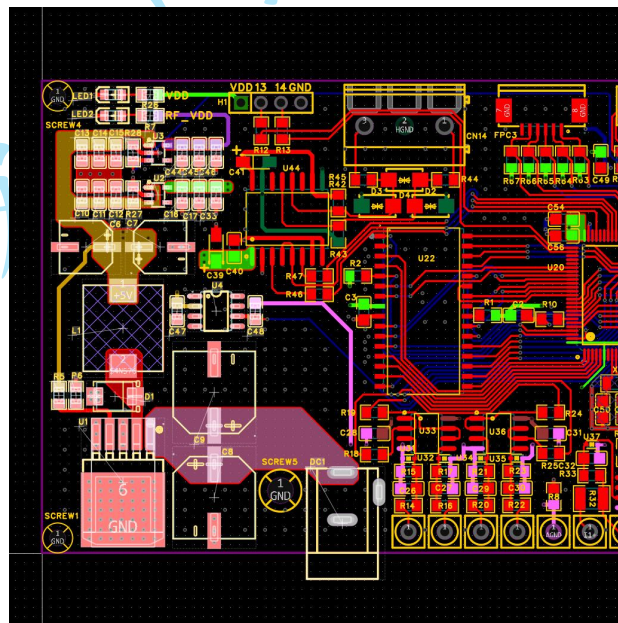
1. 规则设置: 根据题目要求改动设计规则。**(注: 26 年加入提前设定好的规则文件, 需要按要求导入, 不要看漏了)**

2. 假如资源包中有 DXF 文件, 不要慌, 这是给定板框给你直接导入, 一般用于异形板框, 需要按照题目要求导入。

3. 器件摆放: 首先根据题目已给出的器件位置放置, 一般是四个安装孔和几个接口位置。接口位置一般是出题人给你的提示。例如 DC 接口, 提示你电源部分大致放在哪里; 其他功能接口, 提示你这一部分的功能位置, 从而可以推出芯片的方向。

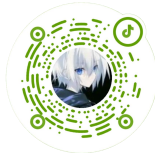
4. 分模块摆放: 器件可以大致分为, “电源部分”, “外接部分”, “芯片部分”, “存储部分”。

**电源部分:** 一般为 DC 总输入, 外加几个升降压电路。这种类型一般元器件较大, 需要最先进进行摆放, 同时需要严格遵守网络中元器件的顺序, 比如①电源先过保险丝再过电容最后才到器件②升降压部分需要先过输出电容才能输出去。③电源部分需要采用填充完成连接。④相同的大元器件 (电解电容) 可以刻意的进行对称放置, 更美观。



图中高亮部分就是电源模块, 全部集中在板子的左边, 不干扰右边的走线, 同时看起来整体更清晰美观。

**外接部分:** 这一部分题目考验大家对于芯片摆放和外接模块的规划, 规划的好坏, 直接



决定这块板子布线的难度和时间，可以说是最重要的步骤。通过改变芯片方向，外接模块的位置，使得外接与芯片，外接与外接之间走线交叉最少，最好走线，走线最短。从 16 届国赛题来看，就有 7 个外接部分，其中题目中给出了两个外接部分的位置。可以通过这两个确定好芯片的方向。确定好方向，打开其余外接部分的飞线，确定一种飞线交叉最小的位置。

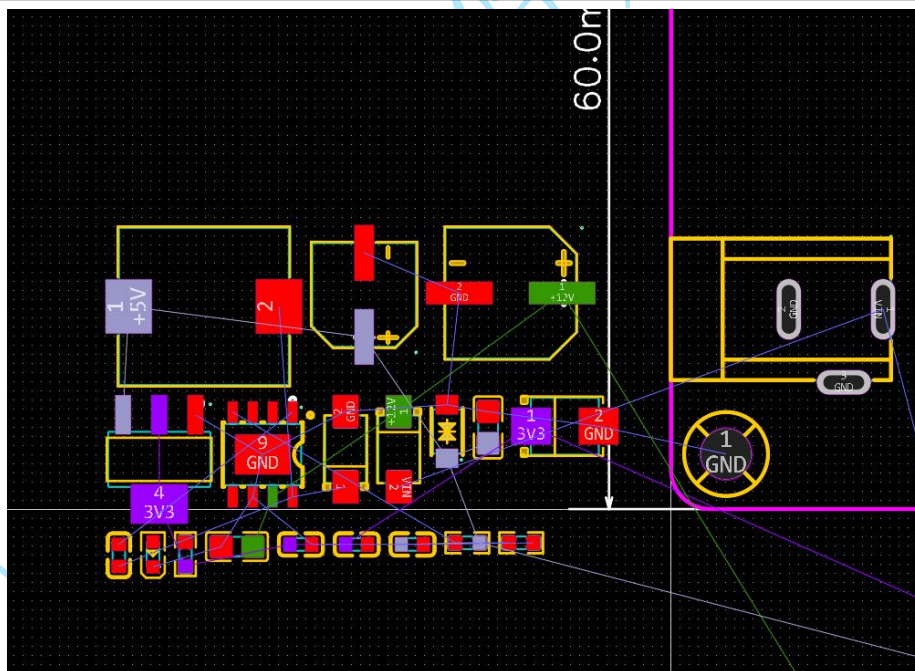
**芯片部分：**主控芯片内部电路，一般为晶振，芯片滤波电容，上拉下拉电阻电容。这些元器件都需要靠近芯片摆放。

**存储部分：**一般只有国赛才有，通常为 SDRAM 芯片，靠近芯片放置即可。

### 特别说明：如何快速定位大致布局，大致步骤：

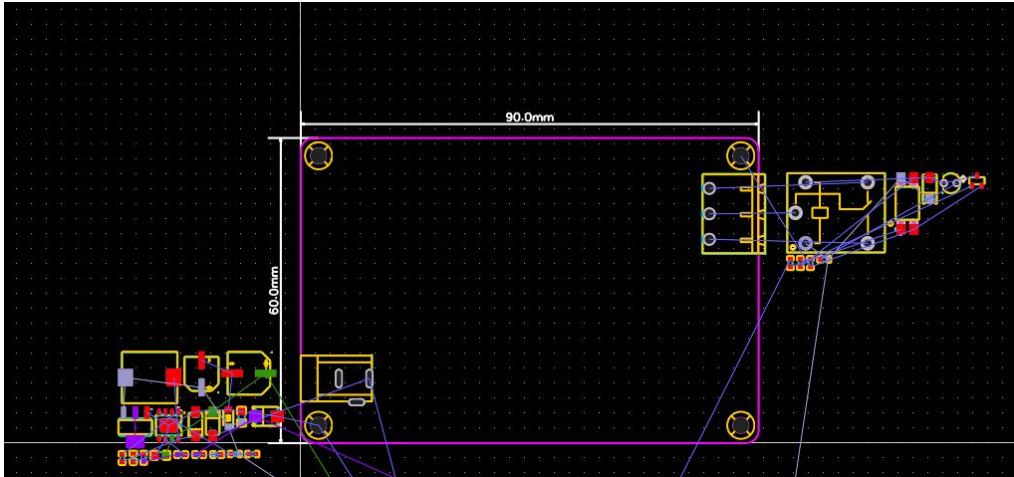
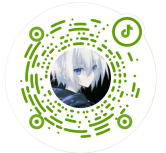
#### 第一步：区分电源部分，把他们剥离出来

在原理图找到电源部分，全部框选，用 `crtl+shift+x` 快速定位到 PCB。然后点 `shift+p` 聚合在一块区域。题目中一般会给出电源总输入的位置，就把电源部分放在旁边。



#### 第二步：筛选其他已给定坐标器件的其余部分

题目中还给出了接线端子的位置，同样操作放在旁边



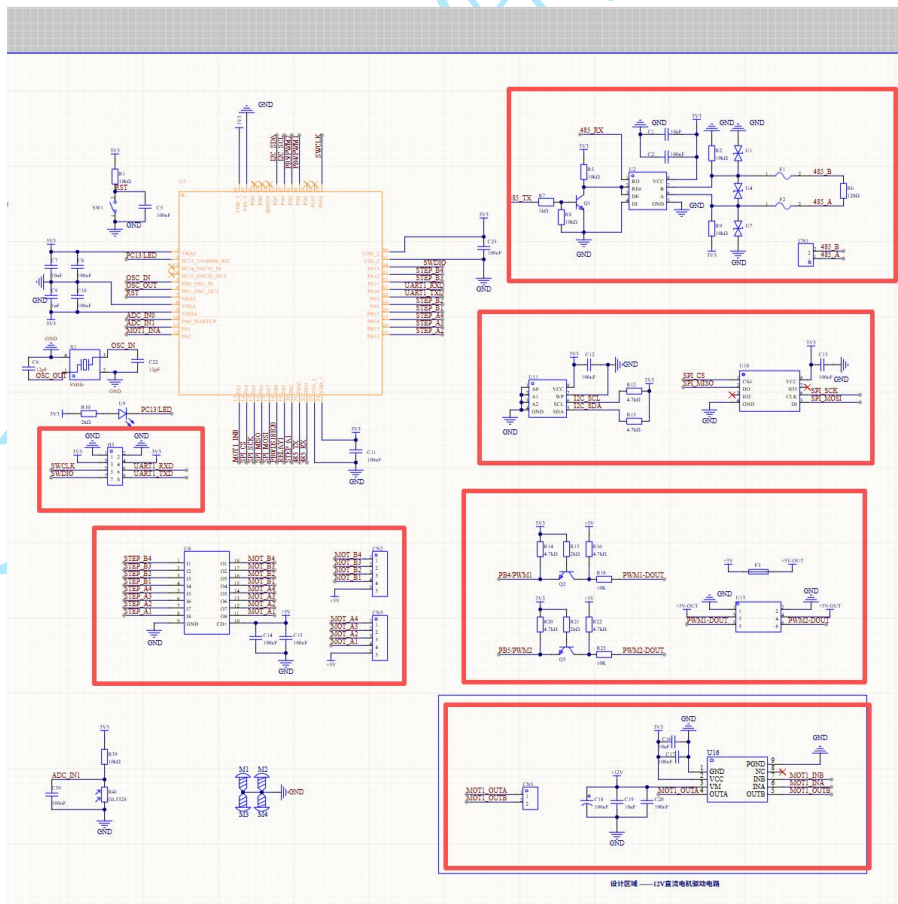
### 第三步：分离剩余模块

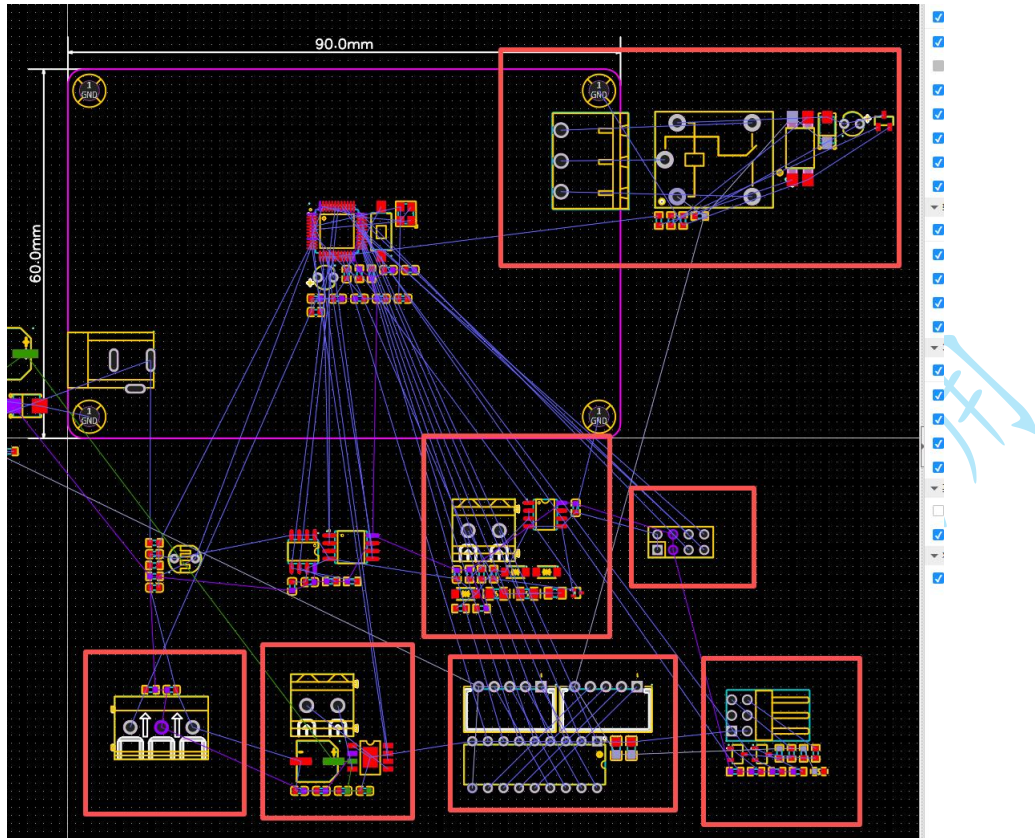
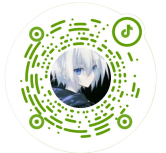
对照原理图可以发现，大致分为两大部分，一部分是芯片周围的附属器件，一部分是外部接口部分。

芯片周围附属器件一般包括滤波电容，晶振，复位按键，LED 等，同样操作将他们聚合在一起。

外界接口部分同理全部按模块分离出来聚合在一起。

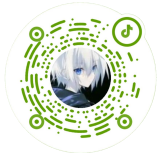
可以从原理图看出来大概有六块区域





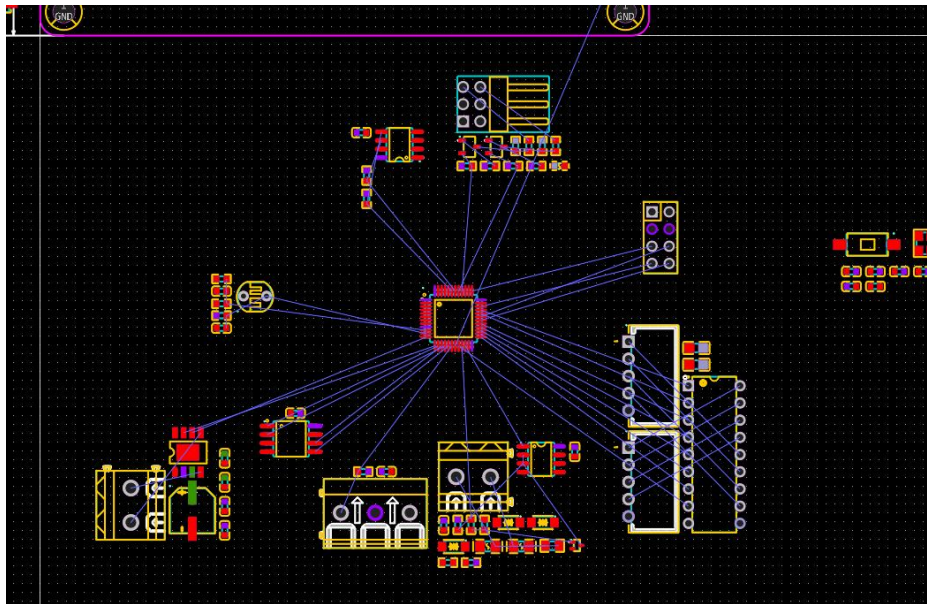
如图所示，每个模块都分门别类的摆放好。

无刀客个人水印



## 第四步：确定芯片方向和各模块位置

此时需要用到 `crtl+R`，隐藏/显示飞线功能。框选电源部分，`crtl+R`，隐藏掉电源的所有飞线。同时再隐藏掉芯片附属器件的飞线。只保留外界接口部分与芯片之间的飞线即可。



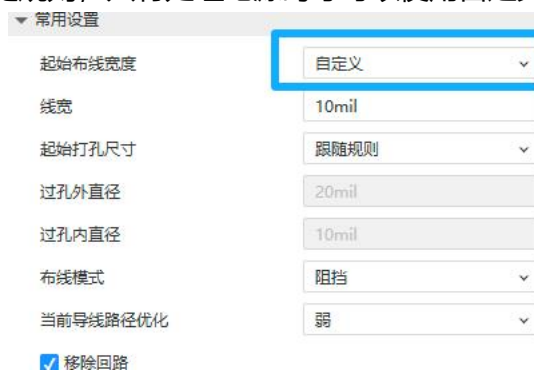
如果给定坐标的器件与芯片之间的飞线很多，那么可以根据这个确定芯片的方向。如果没有的话像这道题一样。先挪动其他模块，确定和芯片的大致位置，找到最小交叉的部分。再之后就是精细布局，接口放板边，模块之间都凑在一起，这样布局起来就很简单了。

## 5. 布线

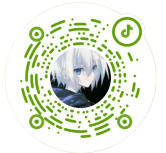
按照总结篇里的布线规则来进行操作，建议先布与芯片飞线连接多的模块，能走顶层就走顶层，能不打孔就不打孔。这样后面模块需要打孔的时候不容易产生干扰。最后一点，此时不处理任何电源和地的网络，包括电源模块。

## 6. 电源处理

电源部分走线方式一般为加粗走线（20mil 以上）或者填充。所以可以将属性中的走线宽度从“跟随规则”改为“自定义”，此时布线时按住 `tab`，将线宽改为 20mil，之后的线宽就会一直是 20mil。这样不用每次都去改，也比单独设置一个网络规则更快。（布线时一定要换成跟随规则，只有处理电源时才可以自定义）



第二步需要将除电源模块的电源网络和 GND 网络的焊盘引出打孔，GND 的网络最好



每个都引出打孔。电源模块只在输入输出端打孔，遵循电流路径。第三步使用填充或者加粗走线连接，有时间的话尽量填充（填充时可以关闭吸附，更好框选位置）。最后的最后，铺地铜，检查 DRC，清理掉碎铜。

## 7. 丝印处理

将丝印都放在器件旁，不要放在焊盘上，实在摆不下可以放旁边，用箭头标明。时间充足的话可以给排针，端子，接口打上丝印标注。

## 8. 检查细节

此时板子的 DRC 为 0，但是不代表没有错误了。需要检查的有

- (1).是否出现直角锐角走线，有时候拖动信号时会改变布线，需要检查（可以用 shift+s，更好观察）
- (2).是否已添加泪滴（泪滴的属性不要调太高，100%就差不多）
- (3).是否有可以改为填充的电源线
- (4).是否有还可以优化的布线，例如底层走线长度过长，但是可以减小底层走线的情况，优化掉，能走顶层走顶层（且满足过孔数 $\leq 2$ ）
- (5).是否有多余拐角的布线，能让他一根直线走通，就不要再拐个角
- (6).检查题目中的要求是否达到，例如差分信号线处理，个别器件的距离要求等
- (7).检查是否有器件干涉，器件超出板框等。

## 9. 交卷

检查所有无误，导出三个文件，提前练习好，名称也需要改，很多人都不注意细节，不然画了半天的板子最后得 0 分原因都不知道。网表文件(enet)，工程文件（epro），图片文件（png）。



## 成图篇

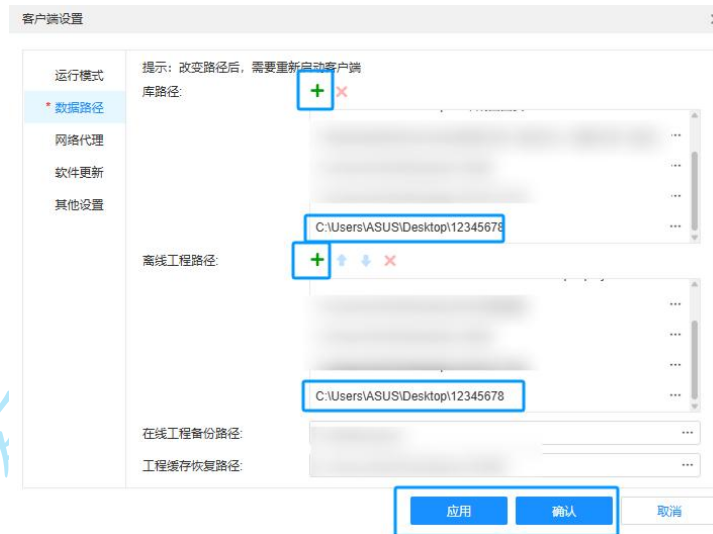
很多基础内容蓝桥杯 EDA 篇已经讲过，成图也同样可以适用，这里不再赘述，我打算以整个比赛流程来进行目录的编写，着重来写与蓝桥杯 EDA 的差异点。

### 一、文件管理

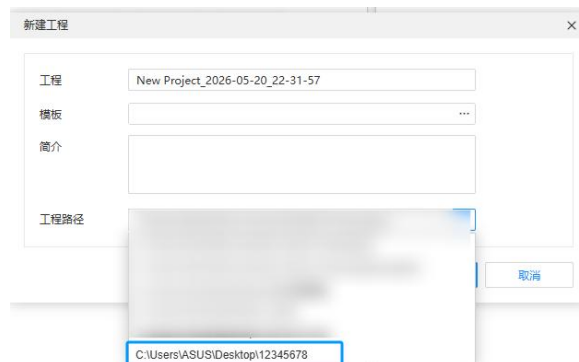
成图相较于蓝桥杯，文件管理与提交较为复杂。首先需要在桌面或者你熟悉的位置新建文件夹作为本次比赛的工程文件夹。命名规则以题目为准，例如选手编号后八位。一般还需要在此文件夹下新建子文件夹“gerber”，存放最终的 PCB 输出制版文件 Gerber。



打开嘉立创，设置为全离线模式，数据路径这里，“库路径”，“离线工程路径”全部添加上刚刚创建的文件夹，点击应用确认，软件自动重启。



在之后的所有选路径操作，都需要手动更改为刚刚的路径。操作包括但不限于“创建原理图模板”“新建项目工程文件”“新建元件库、PCB 封装库文件”都需要手动更改工程路径，不然最后打包提交找不到所需要的工程很麻烦。



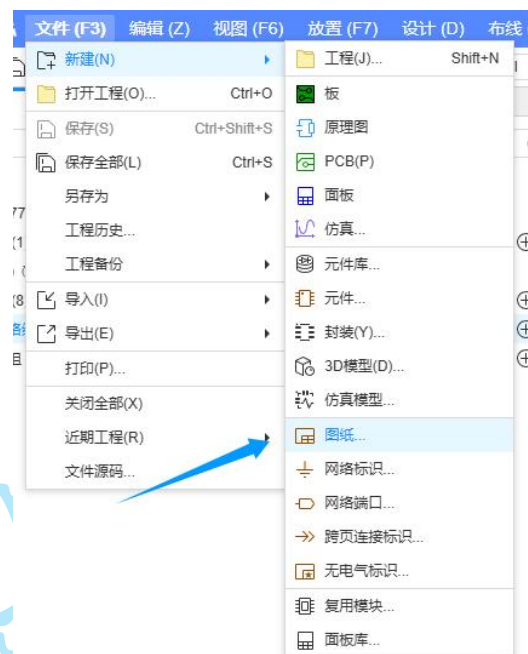


准备工作就绪，即可根据题目要求创建需要的文件。以 24 省赛解读。

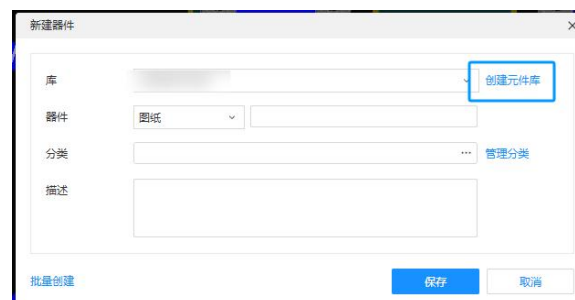
- 1、[新建图纸文件，文件名为 moban.elibz;](#)
- 2、[在工程文件夹中新建一个以自己选手编号后 8 位命名的项目工程文件文件名为：20240510.eprj\);](#)
- 3、[在项目工程内新建元件库，并命名为 Lib.elibz;](#)
- 4、[在项目工程内导入素材库文件夹中的 Sch.eprj 文件;](#)
- 5、[在项目工程内新建 PCB 设计文件, 文件名为 PCB.eprj;](#)
- 6、[在工程文件夹中新建一个子文件夹, 并命名为 Gerber.](#)

解读：

- 1、新建原理图模板文件，注意嘉立创中是文件→新建→图纸。路径选择创建的文件夹。

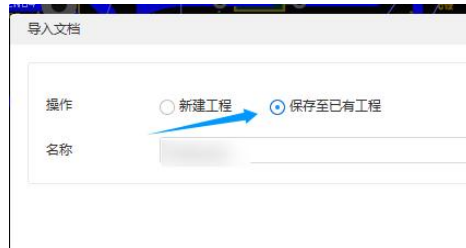


这里要注意，嘉立创软件中，“模板库”“PCB 封装库”“原理图库”“元件库”同属于“元件库”，也就是说，只需要创建一次库即可，如下图，新建模板时需要创建元件库并选择它。

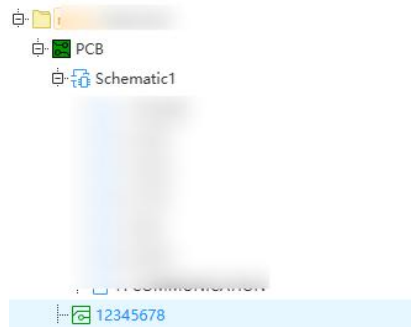




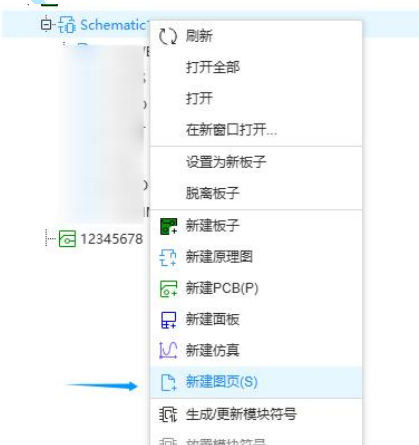
- 2、新建工程这一步很简单，文件→新建→工程，工程路径选择对应文件夹即可。不过需要删除掉原有的 PCB 设计文件和原理图设计文件。
- 3、在创建模板时已经创建好“元件库”，前面创建了就不用管了。
- 4、从资源库中找到题目给出的原理图设计文件导入，导入的时候记得选择已有工程



- 5、在原理图目录下新建 PCB 设计文件并重命名，如下图，工程下只允许存在一个原理图设计文件和 PCB 设计文件。多余的删掉。



- 8、前文已经提到，工程文件夹下新建子文件夹 gerber，用于存放 PCB 制版文件 Gerber。
- 9、若题目中要求新建一个原理图分页，在原理图设计文件子目录下右击→新建图页并重命名为 05-MicroSD.SchDoc



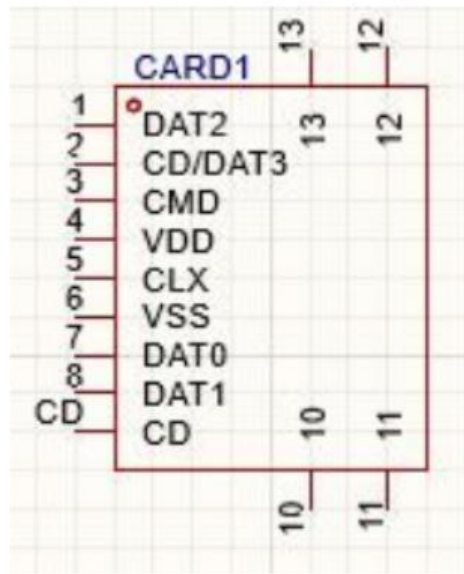


## 二、元件绘制

这里与蓝桥杯相比没有多大区别，或者说更加严格，对于尺寸上有详细的要求。题目会给一个元件示意图以及表格单位。一般为 1 格 100mil，对应嘉立创的是 0.1ich。



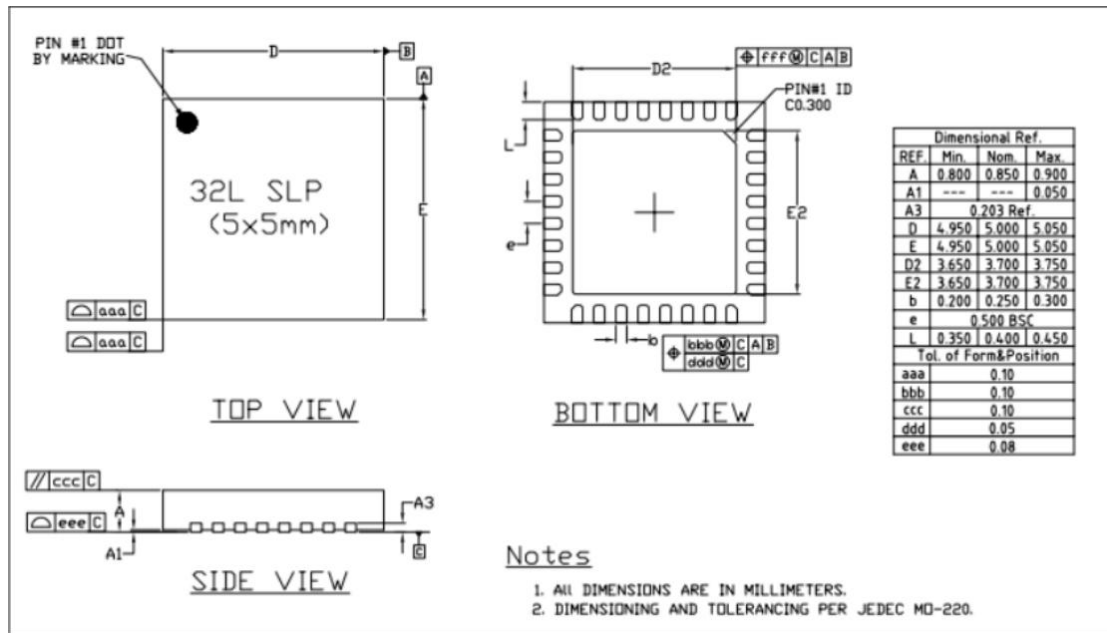
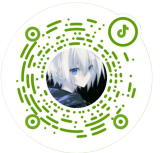
根据所给元件示意图调整焊盘的长度，有时候为 0.1ich，有时候为 0.2ich。在微调引脚名称时，可以将网格单位调成 0.01ich，这样更容易调整一点。



## 三、PCB 封装绘制

成图的 PCB 封装绘制相比于蓝桥杯有巨大的差别，成图更偏向于 CAD 风格，有时候还具有三视图，更加专业。由于成图电子类出题堪堪 2 年，好几套题的封装尺寸标注不全，在实际绘制中缺少关键尺寸，无法画出准确的封装，假如遇到这种情况，大家只能估测距离。这里只讲如何利用 XY 坐标轴法(京晓电路陈工出品，可以直接看陈工的视频更好的学习)更快速的画出 PCB 封装。

这里以 26 年成图省赛模拟 1 为样例。此题具有明显成图特征-三视图。



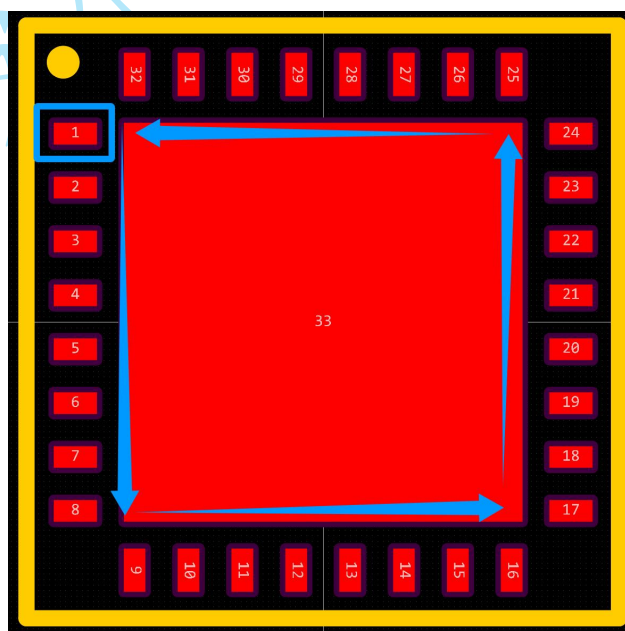
**TOP VIEW:** 俯视图

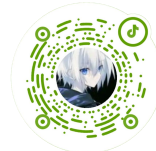
**BOTTOM VIEW:** 仰视图

**SIDE VIEW:** 侧视图

1. PCB 焊接实操中，器件方位判定均以俯视视角为基准。以芯片类器件为例，器件标识圆点需与 PCB 丝印圆点对位贴合，从而完成装配。仰视视角为器件底部向上观测视角，成像方位与实际装配姿态呈镜像反转。因此，绘制元器件封装时，定位圆点统一依照俯视视角规范排布。**这是第一个易错点，出现三视图，元器件方位以俯视图为准。**

2. 其二，成图中有时不会给出芯片的引脚编号顺序，我们一般以圆点为基准，逆时针从 1 开始编号转一圈，如果芯片为 QFN 封装，则中间是大焊盘（一般为 GND），编号为最后一个。**这是第二个易错点，记住常见的引脚编号顺序。**

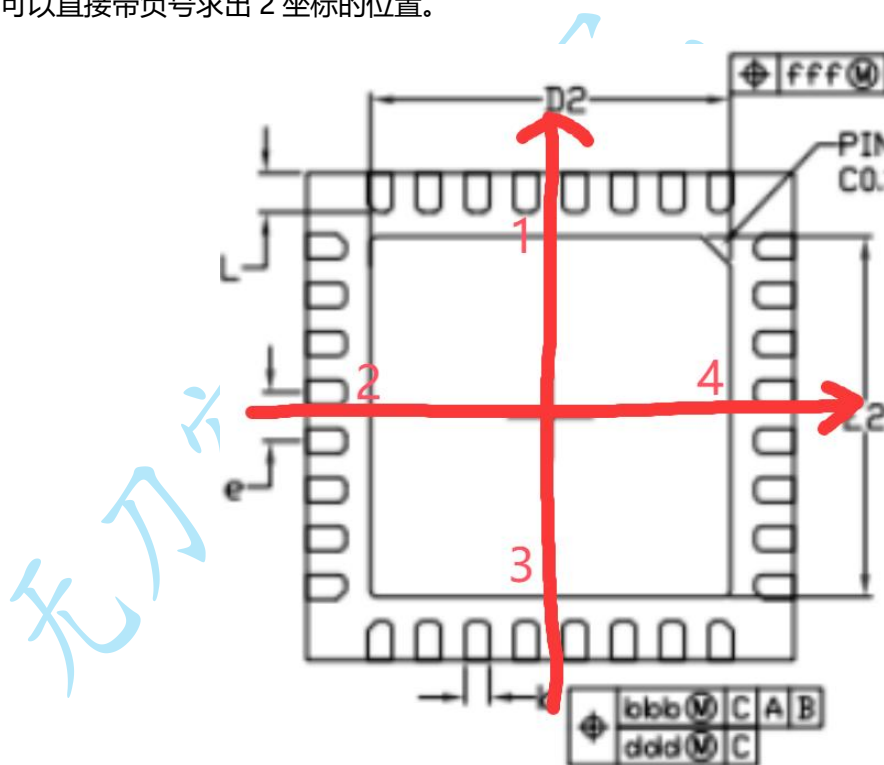




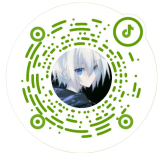
3. 类似如图的尺寸标注图, 有 Min, Nom, Max 三个值, 在实际绘制时选择 Nom 值就好。注意单位, 一般为 mm, 有时候为 mil。

Dimensional Ref.			
REF.	Min.	Nom.	Max.
A	0.800	0.850	0.900
A1	---	---	0.050
A3	0.203 Ref.		
D	4.950	5.000	5.050
E	4.950	5.000	5.050
D2	3.650	3.700	3.750
E2	3.650	3.700	3.750
b	0.200	0.250	0.300
e	0.500 BSC		
L	0.350	0.400	0.450
Tol. of Form&Position			
aaa	0.10		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		

4. XY 坐标轴法, 成图不会给哪一个焊盘为坐标 0 点, 那么我们在实际绘制中, 就选择元件的兑成位置作为坐标轴的中心。这样的好处是可以少算两个位置, 直接对称过去就好。例如下图, 求出 1 坐标的位置, 就可以直接带负号求出 3 坐标的位置。求出 4 坐标的位置, 就可以直接带负号求出 2 坐标的位置。



- 坐标 1: X 轴:  $-(D2-8b) / 7/2 - e/2$ , Y 轴:  $(D-L) / 2$
- 坐标 3: X 轴:  $-(D2-8b) / 7/2 - e/2$ , Y 轴:  $-(D-L) / 2$
- 坐标 4: X 轴:  $(D-L)/2$ , Y 轴:  $(E2-8b) / 7/2 + e/2$
- 坐标 2: X 轴:  $-(D-L)/2$ , Y 轴:  $(E2-8b) / 7/2 + e/2$



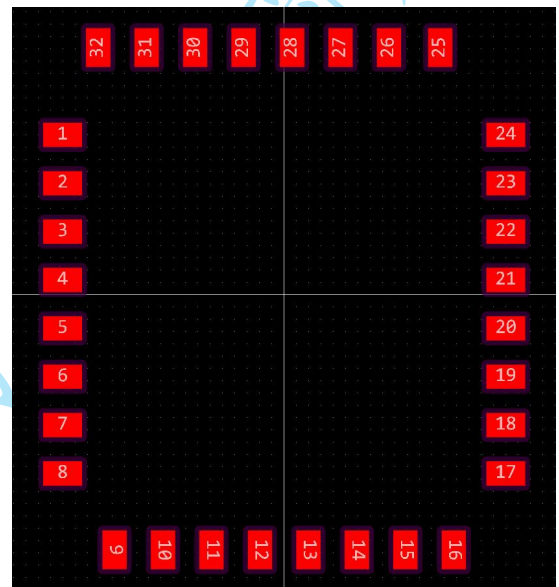
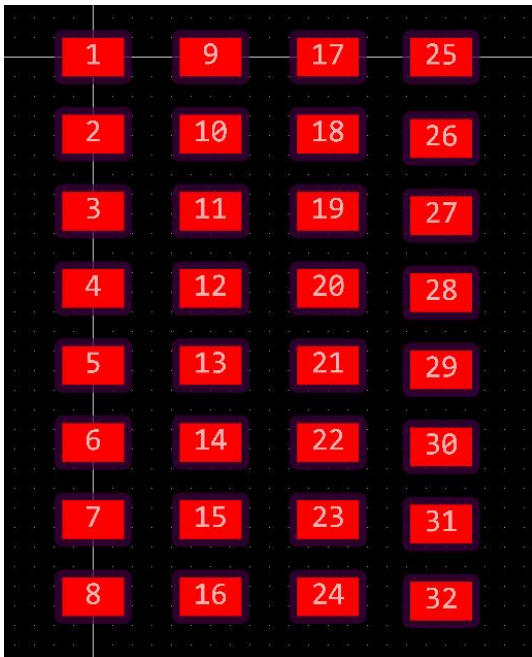
只要求出这两个点，就可以把此封装所有焊盘全部放置到位。下面是具体步骤与细节。

### (1) 绘制初始焊盘

先放置初始焊盘，更改数值为题目要求的尺寸。更改完成后删除，此时再放置焊盘时，系统会以你设定好的尺寸为准。

### (2) 绘制条形多焊盘

因为你删除了初始焊盘，当你选择条形多焊盘时，还是会以 1 为初始编号进行排序，这样会省去更改引脚编号的时间。在放置条形多焊盘时，使用 TAB 键切换焊盘数量和长度，然后放置。重复以上操作，放置 4 条多焊盘。同时以每八个为一组框选进行旋转放置。将其大致调整为合适的位置。

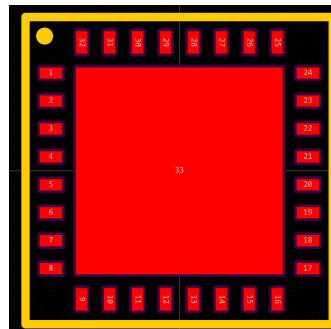


### (3) 组合选中，输入坐标

将焊盘以八个为一组组合选中，然后选中刚刚定好的的特定焊盘，将坐标值输入即可。若不行，则多组合几次。最终只需要四个坐标点即可画完所有焊盘。最后中间再加上大焊盘即可，坐标未 (0, 0)

### (4) 放置丝印

根据三视图大致确定器件大小，放置丝印时可以大一点，但是不能小。注意放置小圆点。



**注意：封装编号要和元件位号对应，例如“CD”要对应“CD”，而不是“9”。**



## 四、原理图抄画

### 1. 原理图模板制作

成图独有的原理图模板制作，这里采用的是 B 站京晓陈工教的“表格法”，学会后可以在五分钟内解决，具体视频可以看此视频集的原理图模板绘制部分，这里只强调易错点。



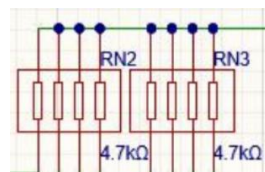
成图大赛 PCB 通关课—从基础到实战，一套课程就够啦！京晓 EDA 设计实战...

- (1) 注意除了表格以外的其他要求，例如“设置图纸大小为 A4”“文字大小为 0.15ich”“颜色均为黑色”“字体为仿宋”等
- (2) 改字体和颜色时包括图纸属性自动生成的字体。建议最后统一框选修改。

### 2. 部分原理图抄画

成图不像蓝桥杯，只需要加入某一个元器件，然后连线就行。成图是大部分元件都要自行添加，所有元器件的位号和属性值都要修改。这里讲解一下技巧和易错点。

- (1) 找元器件时是需要根据比赛给定的元件清单选择的。比如 10uF 的电容封装可能是 0805，100nF 的电容封装可能是 0603。这里需要特别注意封装是否正确，而不是直接复制过来改数值就行。
- (2) 小技巧，找器件的时候不一定要从素材库里找，可以直接从其他图页拖过来，例如需要找 RN2，RN3 排阻，那么原理图中大概率有 RN1 这个排阻，直接 Ctrl+F 搜索 RN1，就能快速定位到具体位置，再直接复制拖过来就行。



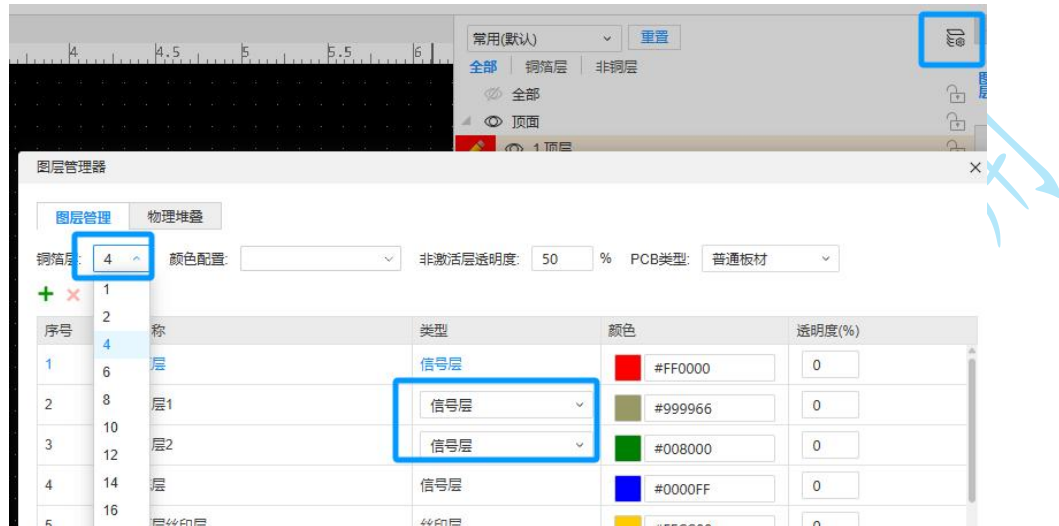
- (3) 注意一定要记得修改位号和属性值，包括大小写，都要与题目保持一致。



## 五、电路板制作

### 1. 四层板层叠规划

首先在右侧图层中点击右上角的图层管理器，将铜箔层改为 4 层，其中内层 1，内层 2 类型为信号层。（不要选内电层，不然不好更改铺铜。）



#### 层叠规划：

顶层 (Top)：走信号

内层 1 (Gnd)：走大地

内层 2 (Power)：走电源

底层 (Bottom)：走信号

优势：顶层底层都紧邻参考平面，阻抗稳定、EMC 干扰小、布线顺畅。

注意：没有特殊情况，内层 1，内层 2 不能走信号线，除非赶时间为了保证 0drc。

### 2. DXF 文件导入细节

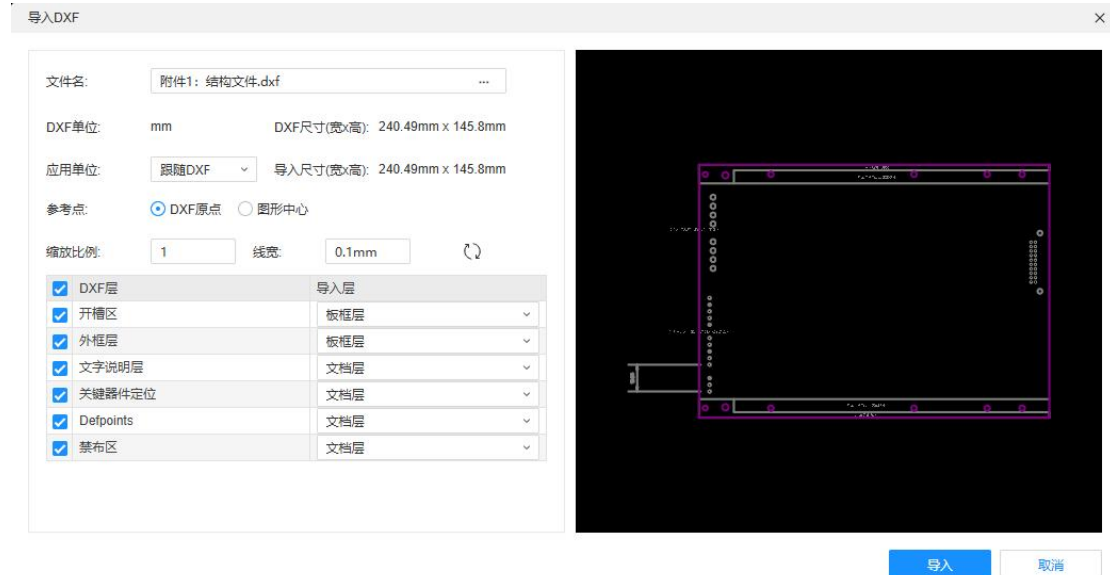
若题目为异形板框或者有特殊要求的板框，会给 DXF 文件，这时候需要根据题目要求导入。例如 25 年省赛，板子有挖槽，拼板，关键器件定位，禁布区。像这样要求很多的，题目一般会给出具体表格告诉你如何设置。

CAD 文件 (LT2010 DXF 格式)，单位 mm

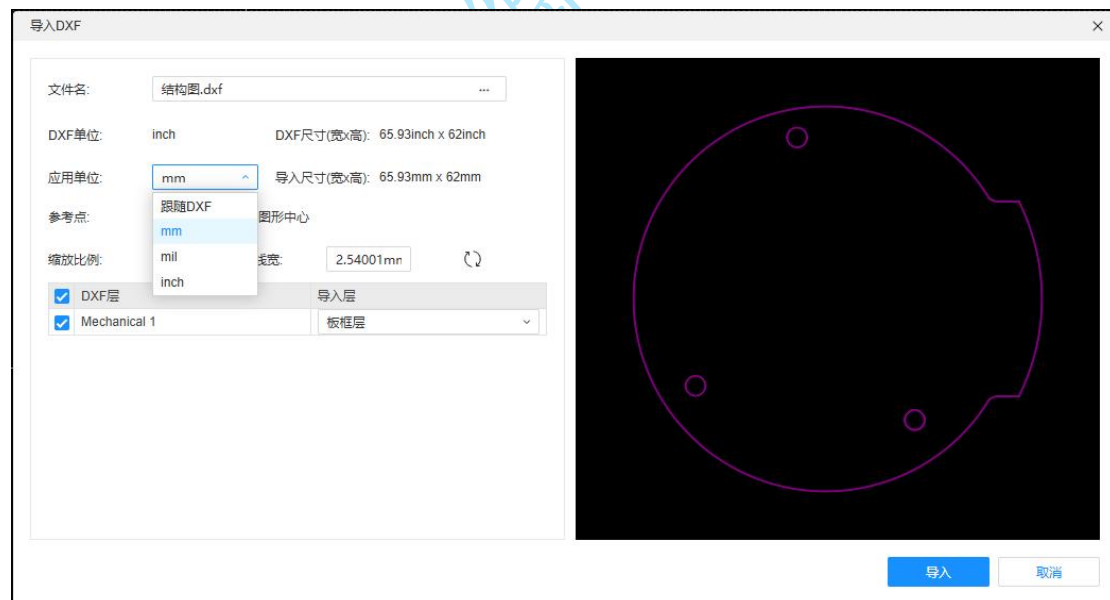
图层名称	说明
0	本层未使用
defpoints	尺寸标注层
关键器件定位	本层中放置结构中的关键器件的引脚定位，与关键器件匹配
禁布区	本层中由文字提示禁止布局、禁止布线区域
开槽区	本层放置开槽元素，用于板件固定件的安装，需根据本层元素在 PCB 对应位置开槽
外框层	本层放置 PCB 外框
文字说明层	本层放置重要元素的文字说明



在 PCB 设计界面导入题目所给的 DXF 文件，其中只要开槽区、外框层具有电气属性，需要修改为板框层，其余没有具备电气属性，都改为文档层。其中关键器件定位层是为了帮助你快速定位器件位置，Defpoints 是辅助参考信息，这里是帮助你确定插件方向，禁布区是提醒你这里是作为板框生产定位的地方，不允许布局布线。所以以上都改为文档层。



在 26 年模拟一中还出现了导入 DXF 后板框过大的情况，这时候可能是应用单位错误，如果发现比赛中发现板框过大(元器件放上去宛如芝麻粒大小)，将应用单位调整试试，mm/mil/inch 都试试。





### 3. 设计规则修改

在生成电路板前会给出很多规则细节让我们配置。这些配置不是每一个都需要在设计规则里添加的，有些甚至反而浪费了不必要的时间。

#### (1) 确定层数以及单面/双面布局

一般为四层板，四层板就根据之前讲的层叠规划设计层数。单双面布局一定要看清楚，有题目是单面布局。

**优先放板边：**连接器、接口类（USB、DC 座、网口、排针）；板边安装件（定位孔、螺丝孔、定位柱、卡扣结构）；电源模块（方便散热）；高频天线/射频接口；模拟信号（音频座、VGA 等）。

**优先放板内：**核心主控/高集成度芯片；高速/敏感信号器件（晶振、差分对、ADC/DAC、模拟前端）。

**优先放底层：**高集成度芯片的滤波电容（只建议处理这个，其他的都放顶层。）

#### (2) PCB 原点设置

题目中有时候会给定板框原点在哪个角，比如左下角，那么直接将外框选中，坐标轴输入 (0, 0) 即可，其他坐标点依次类推，在 X, Y 上加减。

#### (3) 过孔规则设置

常规来说只有一种过孔要求，正常设计规则就行。

有时候题目中会加入“大电流过孔可采用 12/24 ” 部分密集处可采用 8/12 ”。这个时候没有必要再加一个大电流过孔的规则，然后再去网络规则那里找电流网络修改。这样白白浪费了很多时间。正确的方法是在最后只剩电源时，将右侧属性栏的常用设置里，把起始打孔尺寸改为自定义，下面的内外直径改为大电流过孔的尺寸。在遇到可以使用大过孔时直接放置即可。这样省去了设定规则的麻烦。



#### (4) 线宽规则设置

一般会有三种线宽规则，包括整板线宽不小于 5mil，模拟信号线宽不小于 8mil，电源网络和地网络线宽不小于 10mil。和处理过孔一样，规则只需要设置一个整板线宽即可，如下图，默认和最小改为 5mil。



在处理普通信号线时，起始布线宽度改为跟随规则，此时出线宽度为你改的规则默认值，也就是 5mil。

名称:

单位:

线宽

层	最小	默认	最大
白: 所有	5	5	100
顶层	5	5	100
底层	5	5	100

当处理模拟信号时，将起始布线宽度从跟随规则改为自定义，此时出线时按住 TAB 键，改为 8mil，之后所有的出线都是 8mil，改其他宽度也是同样操作，改一次就好。小技巧：模拟信号一般为 ADC/DAC，常见的有电流电压采集，音频信号，VGA 信号。如果有网络标签为 ADC/DAC，直接将这个模块的所有信号线改为 8mil 走线，肯定不会错。

**注意：题目中虽然有模拟信号线宽要求，但是不一定有模拟信号。**

常用设置

起始布线宽度

线宽

起始打孔尺寸

过孔外直径

过孔内直径

处理电源线同样，但是建议能走 20mil 以上走 20mil。

### (5) 安全间距设置

常见的就是整板线距大于 5mil，这里更改设计规则里的信号线-信号线的间距

PCB 布线离板边 > 0.5mm，更改设计规则里的信号线-板框（注意单位切换为 mm）

**安规距离：**不用设置，画的时候用测量工具测量。

**24 国赛**（AC 交流端与次级电路保证 4.6mm 电气距离和 6.4mm 爬电距离）

电气距离：不同网络的最短直线距离，不受 PCB 板的挖槽影响

爬电距离：不同网络沿 PCB 板最短到达距离，受挖槽影响，为了满足 6.4mm 爬电距离，建议增加挖槽。

**25 国赛**（GROUND 网络与其他网络保持 ≥ 1.5mm 绝缘间距）

此题目 GROUND 是外壳地，需要与板载地保持 1.5mm 绝缘间距，需要单独设立规则，在安全间距这里，单独增加一个规则，命名为 GROUND，在铺铜/内电层这里双击，输入 1.5mm 值。再在网络规则这里找到 GROUND 网络，将规则修改为 GROUND 即可。



设计规则

规则管理 网络规则 网络-网络规则 区域规则

名称: GROUND 设为默认 删除

单位: mm 全部 分层

全部	导线	贴片焊盘	插件焊盘	单层测试点	多层测试点	过孔	填充区域/泪滴	铺铜/内电层	挖槽区域	线条	文本/图形
导线	0.102										
贴片焊盘	0.152	0.152									
插件焊盘	0.152	0.152	0.152								
单层测试点	0.152	0.152	0.152	0.152							
多层测试点	0.152	0.152	0.152	0.152	0.152						
过孔	0.152	0.152	0.152	0.152	0.152	0.152					
填充区域/泪滴	0.152	0.152	0.152	0.152	0.152	0.152	0.152				
铺铜/内电层	1.5	1.5	1.5	1.5	1.5	1.5	1.5	1.5			
挖槽区域	0.3	0.152	0.152	0.152	0.152	0.152	0.152	0.254	0.152		
线条	0.152	0.152	0.152	0.152	0.152	0.152	0.152	0.254	0.3	0.152	
文本/图形	0.152	0.152	0.152	0.152	0.152	0.152	0.152	0.254	0.152	0.152	0.1
板框	0.3	0.3	0.3	0.3	0.3	0.3	0.3	0.254	0.3	0.3	0.
钻孔	0.176	0.176	0.176	0.176	0.176	0.176	0.176	0.254	0.176	0.176	0.1

提示:  
1. 当前单位为 mm, 限制输入的最小值为 0, 最大值为 254, 且小数位仅限 3 位。  
2. 你可以点击表头批量修改间距。

这里只是做演示，实际网络为 GROUND

ADC_MOT_TEMP4	copperThickne...	Copper_copper...	Plane_innerPlane	间
BAT_ADC	copperThickne...	Copper_copper...	Plane_innerPlane	间
BAT_INT	copperThickne...	Copper_copper...	Plane_innerPlane	间
GND	GROUND	GROUND	GROUND	间
GPS_PWR	copperThickne...	Copper_copper...	Plane_innerPlane	间
GPS_RST	copperThickne...	Copper_copper...	Plane_innerPlane	间

## 25 省赛 (安规距离 $\geq 1.5\text{mm}$ )

这里的安规距离等于爬电距离，若距离不够可以增加挖槽解决。

### (6) 差分网络/等长网络组

根据统计数据得出，一共出过 4 个 SDRAM 题，4 个差分题，基本是必考题，所以掌握差分/等长网络设置是必备的技术。

**24 省赛:** CPU(U1)与 Memory(U2)之间信号线等长误差 200mil, 1 组差分对规则

**24 模拟:** CPU(U1)与 U2 等长设计 $\leq 300\text{mil}$ , 1 组差分对规则

**25 国赛:** 2 组等长网络组, 6 组差分对, 2 种差分规则

**25 省赛:** 8 组差分对

**25 国赛模拟 2:** 3 组等长网络组, 1 组差分对规则

**25 省赛模拟:** CPU(U1)与 Memory(U2)之间信号线等长 $\leq 200\text{mil}$ , 1 组差分对规则

**26 省赛模拟 1:** 2 组等长网络组, 3 组差分对, 2 组差分对规则

**26 省赛模拟 2:** 1 组差分对规则, 未提及等长网络组但有 SDRAM

**1 组差分对规则的题,** 直接设计好规则, 然后新建差分对即可

**多组差分对规则的题,** 要新建所有差分对, 再设计多组规则, 最后在网络规则里修改每一个差分对应该对应的规则

**等长网络组的题:** 在 PCB 页面左侧栏新建等长网络组, 具体操作 SDRAM 已经讲过。



#### 4. Mark 点规则与放置

Mark 点是 PCB 上圆形裸铜定位圆点，分为单板基准点、拼板基准点，属于 SMT 贴片专用定位标识。主要作用为机器视觉定位，贴片机通过识别 Mark 点，校准 PCB 坐标，判断 PCB 是否防反，错位。

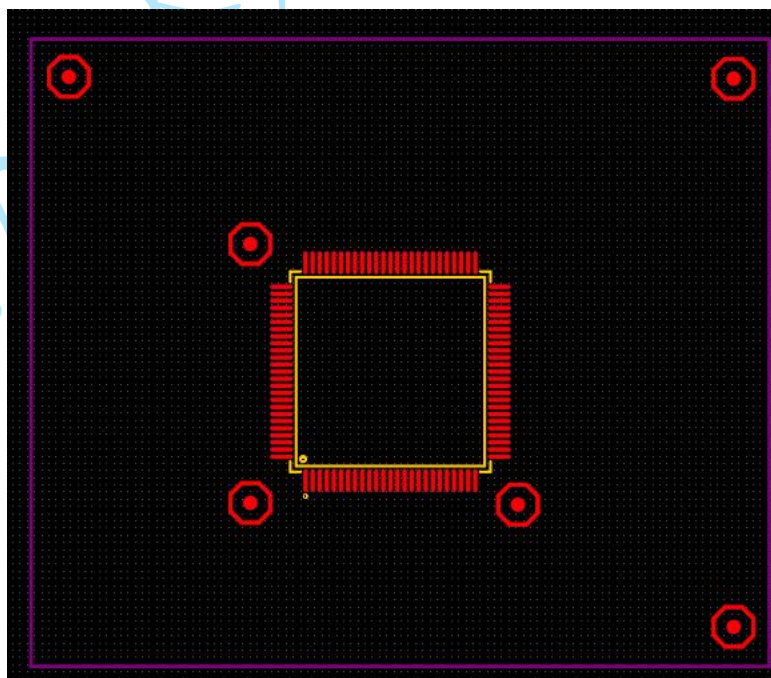
每题都有 4-8 个 Mark 点

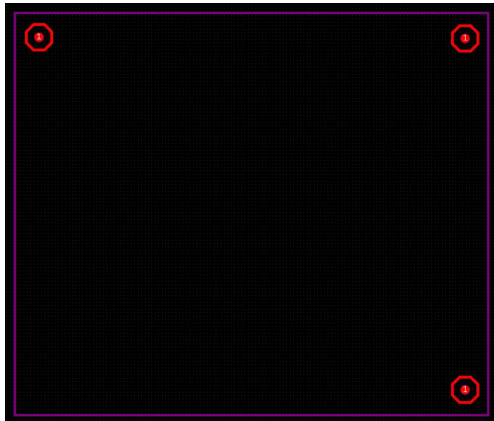
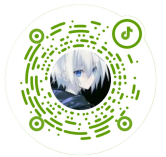
题目中对 Mark 点要求：四周具有光学定位点/TOP 面光学定位点 3 个

**4 个 Mark 点：**放在四周并构造梯形（切勿对称放在板边四个角，否则无法判断 PCB 是否放反）

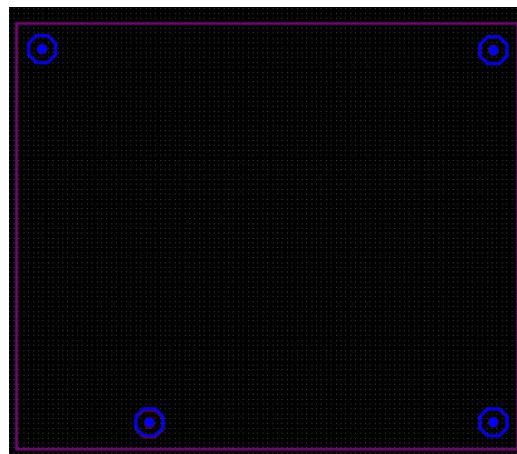
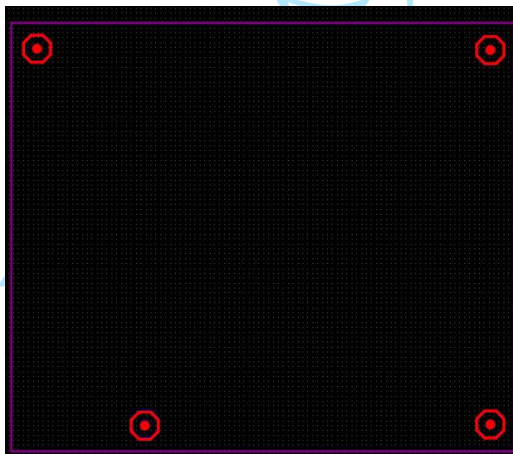
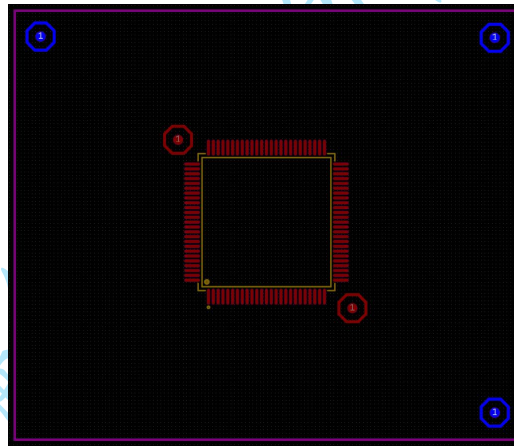
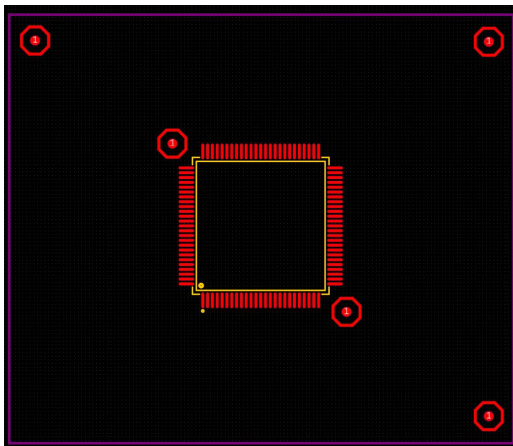


**6 个 Mark 点：**三个放板边，三个放芯片/三个放顶层，三个放底层（若题目要求）

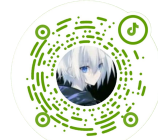




8 个 Mark 点：顶层/底层各一个梯形或者 3 个板边顶层/底层，2 个芯片



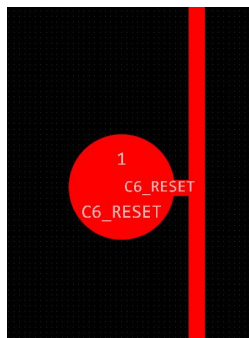
注意：顶层和底层要完全对应。



## 5. Test 测试点规则与放置

网络标签为 TP 的 Test 测试点主要用于生产测试，板子量产前的测试，故障排查时也可直接探针直接测点，快速找出损坏线路。

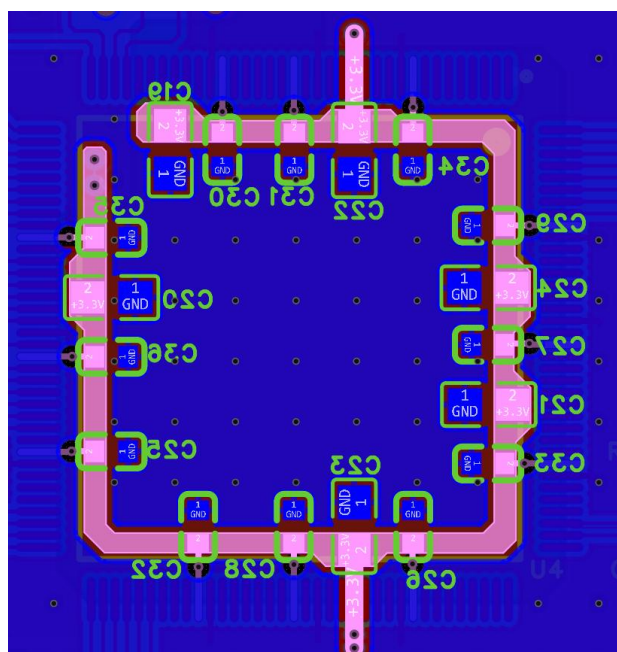
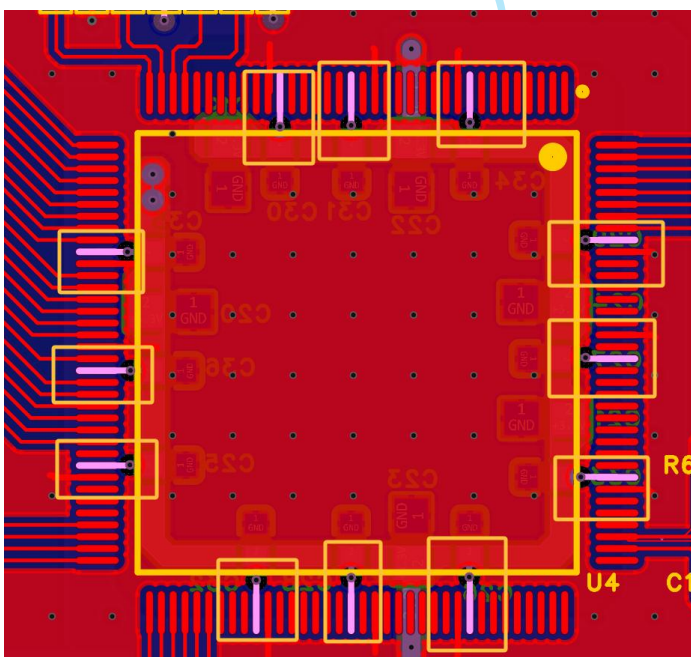
**弊端：**测试点必然会有 STUB 残桩，为了减小残桩引发的天线效应，在放置时，尽量离信号线近一点。如下图即可，但是不能直接放在信号线中间，这样会引起阻抗突变。



## 6. 双面布局如何设计

首先明确一点，底层布局只是为了缓解顶层布线的压力，能从顶层放置的都放置在顶层。例如 SDRAM 与芯片之间的滤波电容，反而全部放在顶层，因为底层需要走很多线。并且滤波电容顶层效果肯定比底层效果更好。只有底层不需要走很多信号线，顶层放置滤波电容又干扰了正常走线，这个时候就需要放在芯片的底部，方法是每个电源引脚背面放一个滤波电容。

**暴力记忆：除了有 SDRAM 的芯片，其他芯片的滤波电容都放底层。**



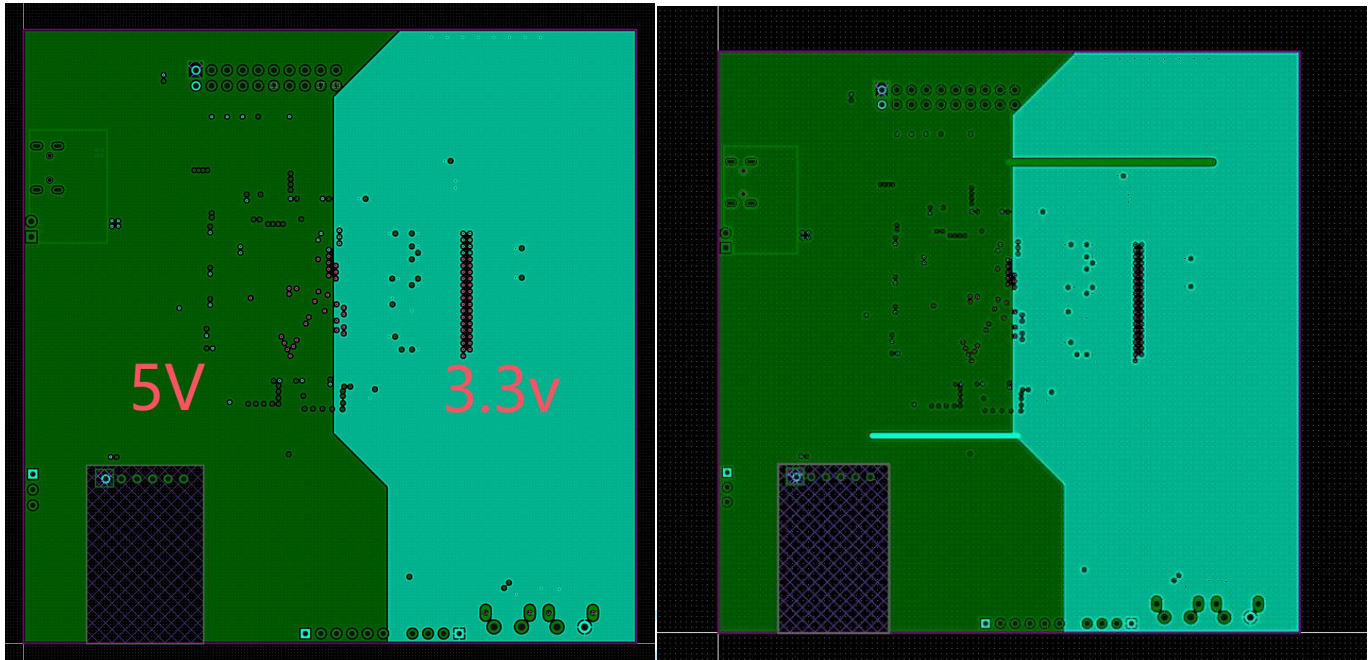
**注意：**滤波电容同样要遵循电流路径，有大小电容也需要遵守先大后小原则



## 7. 电源分割与平面完整性

**电源分割：**在内层 2（PCB 电源层）上，电源网络通常采用铺大铜皮处理，而不同的电源之间尽量做好物理隔离，避免相互串扰。

左图优于右图，如果有更多时间，可以在紧邻处，用禁止铺铜区做 0.5-1.3mm 的间隙



**平面完整性：**地平面对电源平面尽量完整、无长槽、无断裂，为高速信号提供最短回流路径、低阻抗、低 EMI。

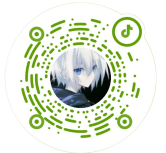
**地平面：**能不分割就不分割，四层板中，以内层 1 作为完整地平面，回流面积小，稳定参考电位，抑制地弹。

(1) 严禁在底层为了走信号线开长槽

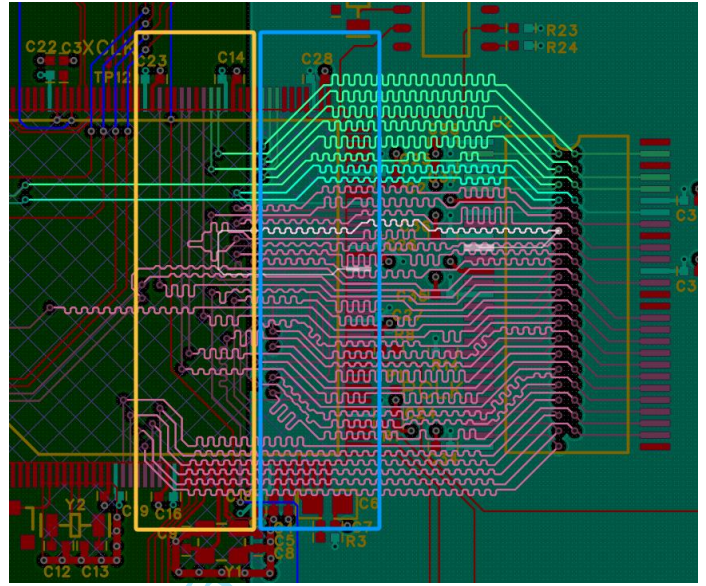
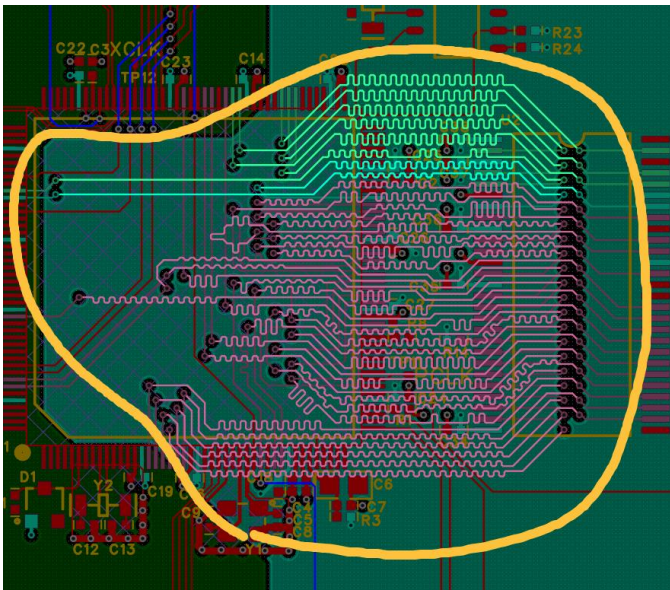
(2) 不同地之间严禁相互干扰，若存在多种地，需要根据类型进行地平面的划分，每层都通过单点接地的形式连接，禁止相互开长槽。

**信号跨分割：**禁止高速信号线相邻参考层跨分割，会造成回流路径断裂，产生大环路天线，EMI/EMC 超标，严重影响信号质量。**高速信号线/敏感信号线包括：SDRAM，DDR，ADC/DAC 等。**

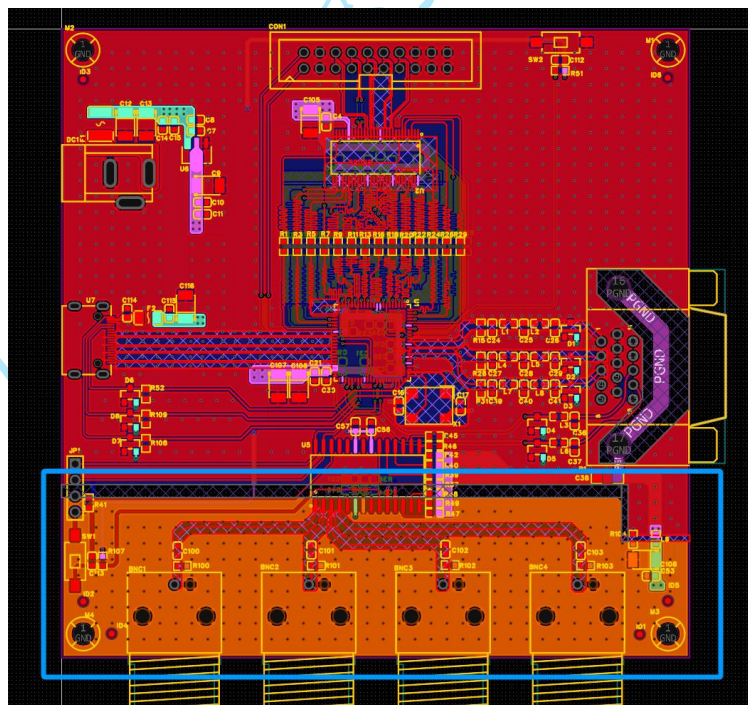
(1) **SDRAM，DDR：**作为高速信号线，布线时一般从顶层切到底层连通并等长，所以大部分相邻参考层为内层 2（电源层）。结合下图理解起来更深刻，同时除了底层高速信号线需要注意参考层，顶层也需要，只是一般内层 1 直接铺的是整块地。

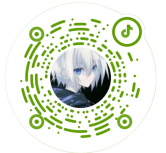


左图优于右图，左图的底层 SDRAM 高速信号线全部被内层 2 的 3.3V 铜皮包裹，没有出现跨分割。而右图可以明显看出底层高速信号线被 5V 和 3.3V 跨分割了。



(2)ADC/DAC:作为敏感的模拟信号线，若原理图设计时考虑到了数模地隔离，那么在模拟信号线模块的全部层，只允许放 AGND（模拟地）作为他的参考层和回流路径。如图，仅通过右下角的一个磁珠将 GND 和 AGND 单点连接，下面属于模拟信号采集的区域全部铺的是 AGND 的铜皮。很好的分割开普通 GND 带来的干扰。





## 六、高阶布局布线总结

### 1. 菊花链拓扑结构

### 2. BGA 扇孔出线

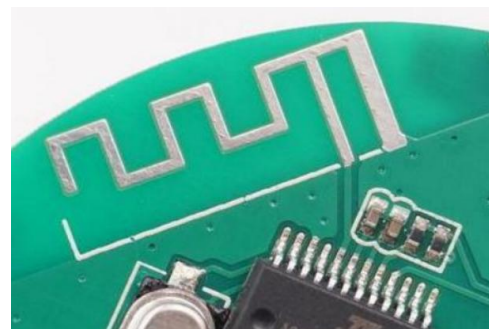
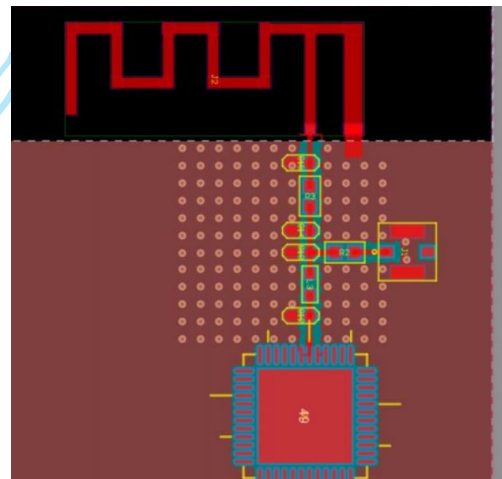
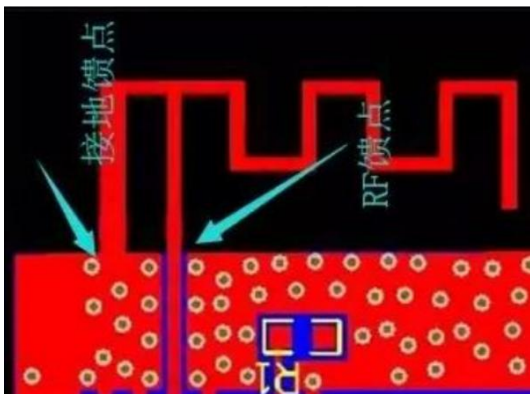
### 3. 板载天线设计

板载天线作为今年新增考点，有必要单独出一个部分讲解

**板载天线：**直接蚀刻再 PCB 上的辐射解构，成本低、集成高，多用于蓝牙/Wi-Fi 等 IoT 设备。

#### 布局布线要求

- (1) 天线应尽量不要朝向喇叭、金属壳体等，**放置在板边**，否则会影响天线的辐射与接收天线，如有则需要保持 5mm 以上的距离。
- (2) 板载天线处所有层铜皮作挖空处理，**天线距离地间隔一般为 3mm 以上**，越远越好
- (3) 板载天线与芯片之间长度越短越直越好，布线呈**一字型**或者在需要拐弯处采用**弧形走线**，不可出现钝角直角锐角。
- (4) 天线两侧**多打地孔**，增加接地的覆铜，可以减少信号的串扰





## 七、文件导出与提交

### 二、嘉立创卷

1.注：此比赛仅为流程模拟，无需实际作答，不算成绩  
制作原理图库元件（导出AD的schDoc上传，只导出单个元件）

下载附件

- 2.制作PCB 封装（导出efoo上传，只导出单个元件）
- 3.抄画电路原理图（导出schdoc文件上传即可！）
- 4.生成电路板（导出epro文件上传）
- 5.生成电路板（导出gerber文件和装配文件，压缩后上传）
- 6.将整个项目打包后压缩上传



实际比赛提交是采用卡伦特平台的系统，如上图所示，一共需要提交六个文件。这里以嘉立创 V3 版本为准。

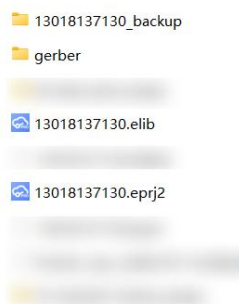
### 1. 文件管理

题号	试卷	工程文件夹命名规则	核心文件命名要点
1	24 国赛 嘉立创 EDA	选手手机号命名 (如: 15038227066)	Lib.elib (元件库) 子文件夹: Gerber
2	24 省赛 嘉立创 EDA	选手编号后 8 位 (如: 20240510)	Lib.elib (元件库) 子文件夹: Gerber
3	25 国赛 AD/PADS/立创	手机号命名 (11 位) (如: 13012345678)	usr_lib (元件库) 子文件夹: 加工文件
4	25 省赛 AD/PADS/立创	选手编号后 8 位 (如: 15012345678)	myLib (元件库) 子文件夹: gerber
5	25 国赛模拟 2 嘉立创 EDA	选手编号后 8 位 (如: 12345678)	Lib.elib (元件库) 子文件夹: Gerber
6	26 省赛模拟 A AD/立创 EDA	选手手机号 11 位 (如: 13012345678)	usr_elib (元件库) 子文件夹: 加工文件

上表是梳理的真题和模拟题，其中剔除了不是嘉立创版本的卷子。可以得出，在我们做完第一步文件管理后，在桌面创建的以比赛要求命名的文件夹中，应该具备三个子文件。

分别是**工程文件** 12345678.eprj2, **元件库文件** lib.elib, **存放制版文件的文件夹** gerber (有的题叫加工文件)。

如下图所示，前缀以题目要求为准，这里 26 年模拟一统一以手机号为前缀。还多了一个 backup 文件夹，这个不用管他，是自动生成的缓存文件，最后文件提交时可删除。

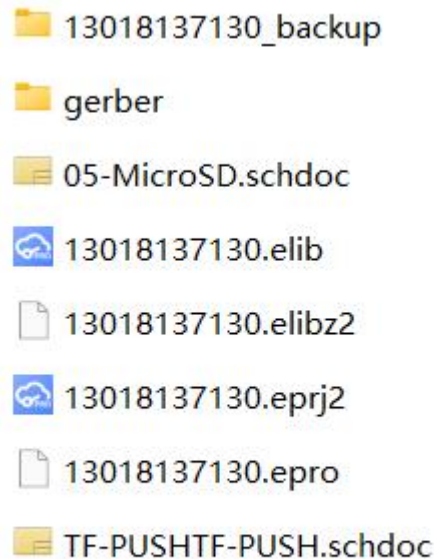




## 2. 文件导出与提交

一共需要导出六个文件，分别是

- (1) 制作原理图库元件，也就是你绘制的元件部分，后缀为.schdoc
  - (2) PCB 封装，也就是你设计的 PCB 封装，后缀为.elibz2 (V3 版本)
  - (3) 抄画原理图，只导出你画的那一部分原理图的图页，后缀为.schdoc (不要和第一点搞混)
  - (4) 生成电路板，后缀为.epro
  - (5) 生成 PCB 光绘文件，也就是 Gerber.zip，有时候会要求导出装配文件，后缀为.pdf。将两个文件打包到子文件夹“gerber”或者“加工文件”中再压缩得到 gerber.zip
  - (6) 整个项目打包上传，也就是最开始桌面创建的工程文件夹整个压缩上传，后缀为.zip
- 下图除了 backup 缓存文件，就是整个项目应该具备的所有文件，按道理来说文件可多不可少，但是文件的前缀一定不能错，不然机器很可能识别不出来，白白丢分。



**注意：**由于嘉立创 V3 版本在 PCB 封装和生成电路板时，可以勾选.elibz (V2)或者.elibz2(V3)导出，.epro(V2)或者.eprj2(V3)导出。而比赛中只识别其中的一个，建议在导出前先看看比赛需要导出的格式。避免在整理文件时发现上传不了，重新导出又造成了超时，白白丢分。

**最后文件管理，导出与提交，如果详细写出来很费时间，也容易词不达意，建议直接看我 B 站的讲解视频。【【无刀客】成图电子类文件管理与提交全流程分析】**  
[https://www.bilibili.com/video/BV1hQGe6UE8w?vd\\_source=62131765ab8b345133a1fdc1c5f12cd2](https://www.bilibili.com/video/BV1hQGe6UE8w?vd_source=62131765ab8b345133a1fdc1c5f12cd2)



## 八、时间规划与拿分点

比赛时间为 9: 00-12: 30, 其中 12: 00-12: 30 为文件提交时间。也就是说你要在 **12: 00 之前将所有文件从嘉立创导出, 不然算作超时。**

### 规划时间

项目	时间 (单位: 分钟)
文件管理	5
元件+PCB 封装	15
模板	5
原理图	5
PCB 布局	50
PCB 布线及优化	90
文件导出	10
文件整理提交	30
<b>总时长</b>	<b>3 个半小时</b>

你得在 30-45 分钟内完成 PCB 绘制前的所有准备工作, 给 PCB 布线布局留下 125-140 分钟时间, 给文件导出留下 10 分钟的时间。

如果做不到这个速度, 只能尽量完成所有内容, 一定要先布局再布线, 成图是以步骤给分, 即使布线一坨, 但是依然能拿到布局的分。而不是有 DRC 比赛就完蛋。

### 拿分点

把握细节, 不要超时。

文件无误, 进国有望。